

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-13518

(P2001-13518A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) IntCl.<sup>7</sup>

G 0 2 F 1/1365

識別記号

F I

G 0 2 F 1/136

テームコード (参考)

5 0 0 2 H 0 9 2

審査請求 未請求 請求項の数11 O L (全 22 頁)

(21) 出願番号 特願平11-188779

(22) 出願日 平成11年7月2日 (1999.7.2)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 上田 徹

大阪府大阪市阿倍野区長池町22番22号  
シャープ株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外4名)

Fターム (参考) 2H092 JA25 JA29 JA35 JA38 JA42

JA44 JB13 JB23 JB32 JB33

JB38 JB51 JB57 JB63 JB69

KA04 KA07 KA12 KB24 MA07

MA25 MA27 MA29 NA22 NA25

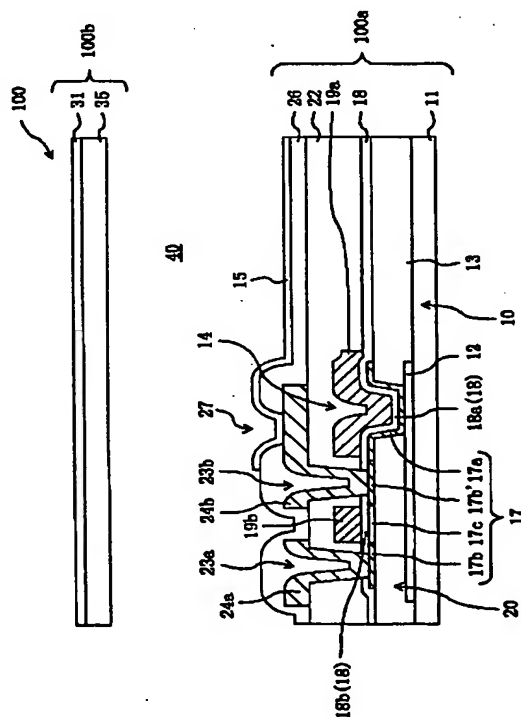
PA01 PA06

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 付加容量の容量値のバラツキが小さく、表示品位の優れた液晶表示装置およびその製造方法を提供する。

【解決手段】 本発明の液晶表示装置の付加容量10は、絶縁性基板11上に形成された第1導電層12と、第1導電層12上に形成され、第1導電層12の一部を露出する開口部14を有する第1絶縁層13と、少なくとも開口部14内に位置する第1導電層12上に形成された第2導電層17aと、第2導電層17aを覆う第2絶縁層18と、少なくとも開口部14内に位置する第2絶縁層18を覆う、第3導電層19aとから形成されている。



(2)

## 【特許請求の範囲】

【請求項1】 絶縁性基板と、前記絶縁性基板上に形成された薄膜トランジスタと、前記薄膜トランジスタに電氣的に接続された絵素電極および付加容量とを有する液晶表示装置であって、

前記絶縁性基板上に形成された第1導電層と、  
前記第1導電層上に形成され、前記第1導電層の一部を露出する開口部を有する第1絶縁層と、  
少なくとも前記開口部内に位置する前記第1導電層上に形成された第2導電層と、  
前記第2導電層を覆う第2絶縁層と、  
少なくとも前記開口部内に位置する前記第2絶縁層を覆う、第3導電層とを有し、  
前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量が形成されている液晶表示装置。

【請求項2】 前記第2導電層は前記開口部内において前記第1導電層と接触するように形成されている請求項1に記載の液晶表示装置。

【請求項3】 前記第1導電層と前記第2導電層との間に形成された第3絶縁層を更に有し、前記第1導電層と前記第2導電層とが互いに電氣的に絶縁されている請求項1に記載の液晶表示装置。

【請求項4】 前記第1導電層と前記第3導電層とは互いに電氣的に接続しており、前記第1導電層と、前記第3絶縁層と、前記第2導電層とを含む積層構造および前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量が形成されている請求項3に記載の液晶表示装置。

【請求項5】 前記第1導電層と前記第3導電層とは、表示領域外に位置する前記第1絶縁層に形成されたコンタクトホールにおいて互いに接続されている請求項4に記載の液晶表示装置。

【請求項6】 少なくとも前記薄膜トランジスタのチャネルと重なるように形成されている遮光層を有し、前記遮光層は、前記第1導電層と同一の膜から形成されており、且つ、前記遮光層と前記第1導電層とは互いに電氣的に絶縁されている請求項1から5のいずれかに記載の液晶表示装置。

【請求項7】 前記薄膜トランジスタのゲート絶縁層は、前記第2絶縁層と同一の膜から形成されている請求項1から6のいずれかに記載の液晶表示装置。

【請求項8】 前記薄膜トランジスタのチャネル、ソースおよびドレインは、前記第2導電層と同一の膜に形成されている請求項1から7のいずれかに記載の液晶表示装置。

【請求項9】 前記薄膜トランジスタのゲート電極は、前記第3導電層と同一の膜から形成されている請求項1から8のいずれかに記載の液晶表示装置。

【請求項10】 絶縁性基板と、前記絶縁性基板上に形

2

成された薄膜トランジスタと、前記薄膜トランジスタに電氣的に接続された絵素電極および付加容量とを有する液晶表示装置の製造方法であって、

前記絶縁性基板上に第1導電層を形成する工程と、  
前記第1導電層上に第1絶縁層を形成する工程と、  
前記第1導電層をエッチストップ層として用いて前記第1絶縁層をエッチングすることによって、前記第1導電層の一部を露出する開口部を前記第1絶縁層に形成する工程と、

10 少なくとも前記開口部内の前記第1導電層上に第2導電層を形成する工程と、  
前記第2導電層を覆う第2絶縁層を形成する工程と、  
少なくとも前記開口部内に位置する前記第2絶縁層を覆う、第3導電層を形成する工程とを包含し、  
前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量を形成する液晶表示装置の製造方法。

【請求項11】 前記第1導電層と前記第2導電層との間に、前記第1導電層と前記第2導電層とを互いに電氣的に絶縁する第3絶縁層を形成する工程と、

20 前記第1導電層と前記第3導電層とを互いに電氣的に接続する工程とをさらに包含し、  
前記第1導電層と、前記第3絶縁層と、前記第2導電層とを含む積層構造および前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量を形成する請求項10に記載の液晶表示装置。

【発明の詳細な説明】  
【0001】  
【発明の属する技術分野】本発明は、液晶表示装置およびその製造方法に関し、特に、薄膜トランジスタを有するアクティブマトリクス型液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】近年、アクティブマトリクス型液晶表示装置は、パーソナルコンピュータの表示装置、薄型テレビ、ビデオ撮像装置やデジタルカメラの表示装置等として広く利用されている。アクティブマトリクス型液晶表示装置のうち、能動素子として薄膜トランジスタを有するもの（以下、「TFT型液晶表示装置」という。）の1つの絵素の等価回路を図6に示す。絵素（絵素領域）がマトリクス状に配置された領域が表示領域を構成している。

【0003】TFT型液晶表示装置は、絵素ごとに、薄膜トランジスタ（以下、「TFT」という。）と、TFTのドレインDに接続された液晶容量 $C_{LC}$ および付加容量 $C_S$ とを有している。液晶容量 $C_{LC}$ と付加容量 $C_S$ とを合わせて絵素容量 $C_{pix}$ と呼ぶ。TFTのゲートGにはゲート配線（走査配線）が接続され、ソースSにはソース配線（信号配線）が接続されている。ゲートGに走査信号が印加されている期間（1走査期間）に、ソース配

50

(3)

3

線からTFTのソースSに印加されている信号電圧が、液晶容量 $C_{LC}$ のドレイン側電極および付加容量 $C_S$ のドレイン側電極（それぞれ、「絵素電極」および「付加容量電極」と呼ぶ。）に印加される。一方、液晶容量 $C_{LC}$ の他方の電極および付加容量 $C_S$ の他方の電極（それぞれ、「対向電極」および「付加容量対向電極」と呼ぶ。）には、対向電極または付加容量対向電極線（共通配線）COMを介して所定の対向電圧（共通電圧）が印加される。TFT基板に形成される付加容量対向電極線COMは対向基板に形成されている対向電極に電氣的に接続されている。液晶容量 $C_{LC}$ に印加される正味の電圧は、信号電圧と対向電圧との差である。この電圧の大きさに応じて液晶の配向状態が変化することによって、信号電圧に対応する表示状態が得られる。

【0004】ゲートGに走査信号が印加されていない期間（すなわち、他のゲート配線に接続されているTFTが選択されている期間）には、液晶容量 $C_{LC}$ および付加容量 $C_S$ はTFTによってソース配線とは電氣的に絶縁されている。注目しているTFTが次に選択される迄、液晶容量 $C_{LC}$ および付加容量 $C_S$ は先に印加された電圧を保持することによって所定の表示状態を維持する。この間に、TFTおよび絵素容量 $C_{pix}$ の電圧保持特性が低いと、表示品位の低下を招く。

【0005】所望の電圧保持特性を得るために、比較的大きな容量値を有する付加容量 $C_S$ が必要とされる場合がある。付加容量 $C_S$ の容量を大きくするために、付加容量電極および付加容量対向電極の面積を大きくすると、これらの電極は一般に不透明な材料を用いて形成されるので、透過型液晶表示装置の開口率の低下を招く。

【0006】特開平5-61071号公報は、絵素部に容量の大きな付加容量を有するTFT型液晶表示装置を開示している。上記公報に開示されている液晶表示装置のTFTおよび付加容量を形成する工程を示す断面図を図7に示す。

【0007】上記公報によると、開口率の低下を抑制するために、TFTが形成される絶縁基板に121の表面に溝部（トレンチ）122を形成し、この溝部122に付加容量（容量成分）を形成している。さらに、TFTの半導体層と同一工程で形成された一体に形成された第1電極123と、TFTのゲート電極と同一材料で形成された第2電極126aと、TFTのゲート絶縁層と同一の材料で形成された絶縁膜124aおよび125aとから付加容量を形成することによって、構造および製造工程を簡略化している。

【0008】図7（a）～図7（c）に示したTFTおよび付加容量部分を含むTFT基板は、以下の工程で作製される。

【0009】（1）石英基板121の表面に、 $HF:NH_4F=1:6$ をエッチャントとするウェットエッチングにより溝122を形成する。

4

【0010】（2）減圧CVD法で膜厚80nmの第1ポリシリコン層123を形成する。得られた第1ポリシリコン層123に、30keV、 $1 \times 10^{15}/cm^2$ 及び50keV、 $1 \times 10^{15}/cm^2$ の条件で、合計2回のシリコン注入を行う。その後、620℃で固相アニールを行った後、第1ポリシリコン層123の一部をエッチングで除去する。

【0011】（3）第1ポリシリコン層123を1000℃で熱酸化により、表面に厚さ50nmの $SiO_2$ 膜124を形成する。酸化されずに残った第1ポリシリコン層123が最終的に付加容量の第1電極およびTFTの半導体層（ソース、チャネル、ドレイン）となる。

【0012】（4） $SiO_2$ 膜124のTFTを形成する領域をレジスト層で保護した状態で、30keV、 $5 \times 10^{15}/cm^2$ の条件で、付加容量の第1電極となる第1ポリシリコン層123に砒素イオン（ $As^+$ ）を注入する。

【0013】（5）レジスト層を除去した後、 $SiO_2$ 膜124を覆う厚さ30nmの $SiN$ 膜125を減圧CVD法により形成する。

【0014】（6）全面に減圧CVD法により、厚さ350nmの第2ポリシリコン層126を形成し、PSGによる低抵抗化を図る。

【0015】（7） $CF_4/O_2=95/5$ のガスを用いて、第2ポリシリコン層126及び $SiN$ 膜125をパターニングすることによって、TFTのゲート電極126b、付加容量の第2電極126a、 $SiN$ ゲート絶縁層125bおよび付加容量用 $SiN$ 125aが形成される。次に、TFTの第1ポリシリコン層123に $SiO_2$ 膜124を介して砒素を160keV、 $1 \times 10^{13}/cm^2$ の条件でイオン注入し、LDD（lightly doped drain）を形成する。

【0016】（8）第2ポリシリコンゲート126b覆うレジストを形成し、砒素イオンを140keV、 $2 \times 10^{15}/cm^2$ の条件でイオン注入し、nチャネルを形成する。次に、レジスト層を除去した後、新たに全面にレジスト層を形成し、ホウ素イオン（ $B^+$ ）を30keV、 $2 \times 10^{15}/cm^2$ の条件でイオン注入を行い、pチャネルを形成する。

【0017】（9）レジストを除去した後、減圧CVD法により、燐珪酸ガラス（PSG）からなる層間絶縁膜131を形成する。

【0018】（10） $HF:NH_4F$ を用いたウェットエッチングによって、層間絶縁膜131および $SiO_2$ 膜124に第1コンタクトホール132を形成する。

【0019】（11）次に、膜厚140nmのITO（インジウム錫酸化物）層129を400℃でスパッタ法を用いて形成する。得られたITO膜129を $HCl:H_2O:HNO_3=300:300:50$ からなるエッチャントを用いてウェットエッチすることによってI

(4)

5

ITO膜129をパターニングする。その後、レジスト層をマスクとして、HF/NH<sub>4</sub>Hを用いたウエットエッチングによってITO膜129に第2コンタクトホール134を形成する。

【0020】(12)スパッタ法を用いて全面に厚さ600nmのAlSi層を堆積し、H<sub>3</sub>PO<sub>4</sub>:H<sub>2</sub>O=2:10を用いたウエットエッチングによってAlSi層をパターニングし電極130を形成する。続いて、厚さ400nmのSiNからなるパッシベーション膜133を常圧CVDで形成する。パッシベーション膜133は、CF<sub>4</sub>:O<sub>2</sub>=95:5ガスを用いたプラズマエッチングによってパターニングされる。

【0021】

【発明が解決しようとする課題】上記公報に開示されている液晶表示装置の付加容量の容量値は、溝の開口径、溝の深さ、誘電体層を形成する材料の種類(誘電率)、誘電体層の厚さで決まる。上記従来技術の付加容量を設計通りの容量値を有するように形成するために最も重要な要因は、溝の深さの制御である。この溝は単一の材料からなる基板の表面をエッチングすることによって形成されるので、溝の深さの制御はエッチング時間を制御することによってなされる。しかしながら、エッチング時間を正確に制御しても、エッチレートにバラツキがあると、溝の深さにバラツキが生じる。付加容量の容量値のバラツキは、液晶表示装置の表示品位を低下させる。

【0022】容量値が小さいと付加容量が蓄積できる電荷量が減少するので、TFTを流れるリーク電流の影響を強く受け、所定の電圧を保持できなくなる。逆に、付加容量の容量値が大きいと、十分に充電することができなくなり、付加容量および液晶容量の両端に所定の電圧が印加されなくなる。

【0023】本発明は、上記課題を解決するためになされたものであり、その主な目的は、付加容量の容量値のバラツキが小さく、表示品位の優れた液晶表示装置およびその製造方法を提供することにある。

【0024】

【課題を解決するための手段】本発明の液晶表示装置は、絶縁性基板と、前記絶縁性基板上に形成された薄膜トランジスタと、前記薄膜トランジスタに電気的に接続された絵素電極および付加容量とを有する液晶表示装置であって、前記絶縁性基板上に形成された第1導電層と、前記第1導電層上に形成され、前記第1導電層の一部を露出する開口部を有する第1絶縁層と、少なくとも前記開口部内に位置する前記第1導電層上に形成された第2導電層と、前記第2導電層を覆う第2絶縁層と、少なくとも前記開口部内に位置する前記第2絶縁層を覆う、第3導電層とを有し、前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量が形成されており、そのことによって上記目的が達成される。

6

【0025】前記第2導電層は前記開口部内において前記第1導電層と接触するように形成されてもよい。

【0026】前記第1導電層と前記第2導電層との間に形成された第3絶縁層を更に有し、前記第1導電層と前記第2導電層とが互いに電気的に絶縁されてもよい。

【0027】前記第1導電層と前記第3導電層とは互いに電気的に接続されており、前記第1導電層と、前記第3絶縁層と、前記第2導電層とを含む積層構造および前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量が形成される構成としてもよい。

【0028】前記第1導電層と前記第3導電層とは、表示領域外に位置する前記第1絶縁層に形成されたコンタクトホールにおいて互いに接続されていることが好ましい。

【0029】少なくとも前記薄膜トランジスタのチャネルと重なるように形成されている遮光層を有し、前記遮光層は、前記第1導電層と同一の膜から形成されており、且つ、前記遮光層と前記第1導電層とは互いに電気的に絶縁されている構成としてもよい。

【0030】前記薄膜トランジスタのゲート絶縁層は、前記第2絶縁層と同一の膜から形成されていることが好ましい。

【0031】前記薄膜トランジスタのチャネル、ソースおよびドレインは、前記第2導電層と同一の膜に形成されていることが好ましい。

【0032】前記薄膜トランジスタのゲート電極は、前記第3導電層と同一の膜から形成されていることが好ましい。

【0033】本発明の液晶表示装置の製造方法は、絶縁性基板と、前記絶縁性基板上に形成された薄膜トランジスタと、前記薄膜トランジスタに電気的に接続された絵素電極および付加容量とを有する液晶表示装置の製造方法であって、前記絶縁性基板上に第1導電層を形成する工程と、前記第1導電層上に第1絶縁層を形成する工程と、前記第1導電層をエッチストップ層として用いて前記第1絶縁層をエッチングすることによって、前記第1導電層の一部を露出する開口部を前記第1絶縁層に形成する工程と、少なくとも前記開口部内の前記第1導電層上に第2導電層を形成する工程と、前記第2導電層を覆う第2絶縁層を形成する工程と、少なくとも前記開口部内に位置する前記第2絶縁層を覆う、第3導電層を形成する工程とを包含し、前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量を形成し、そのことによって上記目的が達成される。

【0034】前記第1導電層と前記第2導電層との間に、前記第1導電層と前記第2導電層とを互いに電気的に絶縁する第3絶縁層を形成する工程と、前記第1導電層と前記第3導電層とを互いに電気的に接続する工程とをさらに包含し、前記第1導電層と、前記第3絶縁層

(5)

7

と、前記第2導電層とを含む積層構造および前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量を形成してもよい。

【0035】以下に、本発明の作用を説明する。

【0036】本発明の液晶表示装置の付加容量は、少なくとも開口部（溝またはトレンチ）に形成された、第2導電層（付加容量電極）／第2絶縁層（付加容量誘電体層）／第3導電層（付加容量対向電極）とを含む積層構造から形成されている。付加容量は開口部に形成されているので、狭い占有面積で大きな容量値を確保することができる。さらに、この開口部は、第1導電層上に形成された第1絶縁層上に形成されている。第1導電層と第1絶縁層は異なる材料から形成されているので、第1絶縁層にエッチングによって開口部を形成する工程において、下地の第1導電層をエッチストップ層として機能させることができる。従って、付加容量が形成される開口部の深さは、正確に制御されるので、容量値のバラツキが著しく低減された付加容量を実現することができる。

【0037】第2導電層は開口部内の第1導電層に接触するように形成しても良いし、開口部内の第1導電層上にさらなる絶縁層を設けて第1導電層と第2導電層とを互いに絶縁してもよい。開口部内の第1導電層と第2導電層とをさらなる絶縁層で互いに絶縁した構成において、第1導電層と第3導電層とを電気的に接続することによって、第2導電層（付加容量電極）／第2絶縁層（付加容量誘電体層）／第3導電層（付加容量対向電極）から形成される容量に加えて、第1導電層（付加容量対向電極）／さらなる絶縁層（付加容量誘電体層）／第2導電層（付加容量電極）から形成される容量が並列に接続されている。従って、単位占有面積当たりの容量値を増加させることができる。すなわち、液晶表示装置の開口率を一層高めることが可能となる。第1導電層と第3導電層との電気的な接続を、絵素電極と重ならない位置で実現することによって、開口率の低下を防止することができる。

【0038】第1導電層を遮光性を有する材料を用いて形成することによって、第1導電層を、TFTのチャンネルに入射する光を防ぐ遮光層として用いることができる。特に、TFTのチャンネルやLDDトランジスタのLDD領域を少なくとも覆う遮光層を形成することによって、TFTの光リークを抑制することができる。液晶表示装置の用途に応じて、裏面からの光学系等からの反射光を遮光する構成としてもよいし、上方からの直接入射光を遮光する構成としてもよい。

【0039】第1導電層を付加容量対向電極として利用する構成においては、付加容量対向電極として機能する部分と遮光層として機能する部分を電気的に分離して形成することが好ましい。少なくともTFTのチャンネル領域覆う部分と付加容量対向電極とを分離することによって、付加容量対向電極の電位がTFTのチャンネル領域に

8

影響することを防止できるので、TFTの動作特性を安定にすることができる。

【0040】また、付加容量電極として機能する層とTFTの半導体層（チャンネル、ソース、ドレインとが形成される層）とを同一の膜を用いて形成する構成にすることによって、液晶表示装置の製造方法を簡略化することができる。例えば、ポリシリコン膜に不純物濃度の異なる領域を形成することによって、付加容量電極、TFTのチャンネル、ソースおよびドレインを形成することができる。

【0041】さらに、付加容量誘電体層として機能する層とTFTのゲート絶縁層とを同一の膜から形成することによって、液晶表示装置の製造方法を簡略化することができる。また、付加容量対向電極として機能する層とゲート電極とを同一の膜から形成することによって、液晶表示装置の製造方法を簡略化することもできる。

【0042】

【発明の実施の形態】（実施形態1）本実施形態のTFT液晶表示装置（以下、TFT-LCDという。）100を図1および図2Aに模式的に示す。図1はTFT-LCD100の1絵素に対応する部分の模式的な断面図であり、図2Aはその上面図である。図1は図2A中の破線X1-X2-X3-X4、X4'線に沿った断面図に相当する。本発明によるTFT-LCDの等価回路は図6に示した等価回路と同じであり、上記の説明において用いた構成要素の名称を本発明の説明においても用いる。

【0043】TFT-LCD100は、TFT基板100aと、対向基板100bと、TFT基板100aと対向基板100bとの間に挟持された液晶層40とを有している。一般的なTNモードの液晶表示装置の場合、TFT基板100aおよび対向基板100bの液晶層40側の表面に配向膜（不図示）が設けられ、TFT基板100aおよび対向基板100bのそれぞれの外側に偏光板（不図示）が設けられる。表示モードによっては、配向膜や偏光板を省略することができる。

【0044】TFT基板100aは、絶縁性基板11と、絶縁性基板11上に形成されたTFT20と、TFT20に電気的に接続された絵素電極15および付加容量10とを有している。

【0045】付加容量10は、絶縁性基板11上に形成された第1導電層12と、第1導電層12の一部を露出する開口部（溝またはトレンチとも呼ばれる）14を有する第1絶縁層13と、開口部14内において第1導電層12に接触する第2導電層17aと、第2導電層17aを覆う第2絶縁層18と、少なくとも開口部14内に位置する第2絶縁層18を覆う第3導電層19aとをこの順で有する積層構造から形成されている。すなわち、付加容量10は、第2導電層17aからなる付加容量電極と、第3導電層19aからなる付加容量対向電極（付

(6)

9

加容量対向電極線)と、これらの電極間に位置する第2絶縁層18からなる付加容量誘電体層とを有する。付加容量10は、図2A中にハッチングで示した第2導電層17と第3導電層19aとが重なる領域に形成される。

【0046】TFT20は、ソース17b、ドレイン17b'およびチャネル17cを有する半導体層17と、半導体層上に形成された第2絶縁層(ゲート絶縁層)18と、チャネル17cの真上に位置する第2絶縁層18上に形成されたゲート電極19bとを有している。ゲート電極19bはゲート配線の一部として形成されている。

【0047】TFT20および付加容量10は絶縁層22に覆われている。絶縁層22にはコンタクトホール23aおよび23bが形成されており、それぞれ、ソース17bおよびドレイン17b'の少なくとも一部を露出している。ソース17bおよびドレイン17b'は、コンタクトホール23aおよび23b内でそれぞれソース電極24aおよびドレイン電極24bに接続されている。これら全てを覆うパッシベーション層26には、ドレイン電極24bの一部を露出するコンタクトホール27が形成されている。パッシベーション26上に形成されている絵素電極15は、コンタクトホール27内でドレイン電極24bと電氣的に接続されている。

【0048】対向基板100bは、絶縁基板31と、絶縁基板31上に形成された対向電極(共通電極)35とを有している。必要に応じて、配向層やカラーフィルタ層(いずれも不図示)を設けても良い。

【0049】図6の等価回路中の液晶容量 $C_{LC}$ は、絵素電極15と、対向電極35と、これらの電極間に挟持された液晶層40とによって形成される。絵素電極15および付加容量電極(第2導電層)17aにはTFT20のドレイン17b'を介して信号電圧が印加され、対向電極35および付加容量対向電極19aには、共通配線(図2A中の19a)を介して共通電圧が印加される。なお、共通配線は接地されても良い。

【0050】TFT-LCD100の付加容量10は、絵素毎にTFT20の近傍に形成される。付加容量10は、絶縁層13に形成された開口部14に積層された第2導電層(付加容量電極)17a/第2絶縁層(付加容量誘電体層)18a/第3導電層(付加容量対向電極)19aを含む積層構造から形成されるので、狭い占有面積(基板面に射影した面積)で大きな容量値を確保することができるので、高い開口率を確保することができる。

【0051】開口率の向上効果について、図2Bに示した開口部が形成されていない付加容量を有するTFT-LCDと比較して、定量的に説明する。図2BのTFT-LCDは第1絶縁層13に開口部を有していないこと以外は実質的に図2Aに示したTFT-LCD100と同じなので、その構成要素は図2Aと共通の参照符号を

10

用いて示し、詳細な説明を省略する。

【0052】TFT-LCDにおいて、 $i_{off}$ (トランジスタのoff電流) $=0.04\text{ pA}$ 、 $t_{off}$ (トランジスタのoff期間) $=16.7\text{ msec}$ (60Hz駆動)、初期電圧 $V_{app}=9\text{ V}$ として、例えば、99.5%以上の電圧保持率(1フレーム期間の電圧降下 $\Delta V$ が0.5%以下)を得るためには、 $\Delta V \sim \{ (1/2) \times i_{off} \times t_{off} \} / C_s \leq V_{app} \times (0.5/100)$ の関係から、約30fF以上の付加容量値 $C_s$ が必要であると見積もることができる。もちろん、この条件は、TFT-LCDの駆動方法や、液晶容量および/またはTFTのソース・ドレイン容量等によって変わる。

【0053】絵素の大きさを $18\text{ }\mu\text{m} \times 18\text{ }\mu\text{m}$ 、付加容量誘電体層(酸化シリコン)の厚さを80nmとして、30fFの付加容量値 $C_s$ を得るために必要な付加容量10の基板表面に射影した面積(図2Aおよび図2B中のハッチング部の面積)を比較する。図2Bに示した開口部構造(トレンチ構造)を有さない付加容量は、約 $70\text{ }\mu\text{m}^2$ の射影面積が必要なのに対し、実施形態1の図2Aに示した幅 $2\text{ }\mu\text{m} \times$ 長さ $17\text{ }\mu\text{m}$ の開口部14を有する構造では、約 $53\text{ }\mu\text{m}^2$ の射影面積で30fFの付加容量値を得ることができる。開口率(図2Aおよび図2B中の開口部15a(ハッチング部)の絵素全体の面積に対する割合)で比較すると、図2Bの構造の開口率が約42%であるのに対し、図2Aの構造の開口率は約46%であり、高開口率化が達成されている。

【0054】さらに、開口部14は絶縁層13を貫通する穴であり、且つ、絶縁層13の下(開口部14の底)には導電層12が形成されている。従って、絶縁層13にエッチングによって開口部14を形成する工程において、導電層12をエッチストップ層として用いることができる。その結果、上述した従来のトレンチ型付加容量において溝の深さの制御が困難なために容量値がばらつくという問題が、生じない。

【0055】また、導電層12に遮光性を有する材料を用いて、図1に示した様にTFT20の下部まで拡がるように形成することによって、TFT20(特にチャネル17c)に光が入射することを防止することができる。すなわち、導電層12は、製造工程においてエッチストップ層として機能するとともに、最終製品においては遮光層として機能する。

【0056】図1に示した構造においては、第2導電層18が開口部14内で第1導電層12に接触しているが、第1導電層12と第2導電層18との間に絶縁層を設けて、第1導電層12を第2導電層18から電氣的に絶縁してもよい。例えば、上述のように、第1導電層12をTFT20を遮光する膜として用いる場合には、第1導電層12の電位がTFT20の動作に影響しないように、第1導電層12を絶縁することが好ましい。第1導電層12と第2導電層18との間に絶縁層を設ける代



(7)

11

わりに、実施形態2において説明するように、第1導電層12を分離してもよい。なお、第2導電層18が開口部14内で第1導電層12と接触する構造を採用する方が、開口部14の深さを正確に制御できる利点がある。すなわち、開口部14内に絶縁層を形成すると、僅かではあるが、絶縁層の厚さのバラツキが開口部14の深さのバラツキとなる。

【0057】さらに、図1に示した構造を採用すると、付加容量10の付加容量電極17aとTFT20の半導体層(17b、17b'、17c)とを同一の膜から形成できる。すなわち、1枚の連続した半導体膜の一部の領域を付加容量電極17aとして利用し、他の領域をTFT20の半導体層として利用することができる。また、付加容量10の誘電体層18aとTFT20のゲート絶縁層18bとを同一の膜で形成できる。更に、付加容量対向電極19aとゲート電極19bを同一の膜から形成することができる。

【0058】以下に、TFT-LCD100を製造する方法の例を図3A~図3Gを参照しながら説明する。

【0059】図3Aに示したように、石英基板(絶縁性基板)11上に厚さ約100nmの燐ドーパのポリシリコン層(第1導電層)12を減圧CVD法で堆積する。得られたポリシリコン層12を所定のパターンにエッチングする。

【0060】第1導電層12を形成する材料はポリシリコンに限られない。第1導電層12をTFT用の遮光膜として用いる場合には、W、Mo、Ti、Ta、Cr、Co、Pt、Ru、Pd、Cu等の金属や、Wポリサイド(WSix/ポリシリコン)をはじめとするMo、Ti、Ta、Cr、Co、Pt、Pdポリサイドを用いることができる。さらに、TiW等の合金あるいはTiN等の導電性金属窒化物を用いてもよい。第1導電層12の材料は、後工程の熱処理条件に耐熱性や液晶表示装置の用途等を考慮して適宜選択される。特に、TFT-LCD100を投射型表示装置に用いる場合には、TFT20に強い光が照射されるので、第1導電層12の光透過率は5%以下であることが好ましい。少なくともTFT20のチャネル17cを遮光すれば光照射によるTFT20のリーク電流を低減することができる。リーク電流を十分に低減するために、TFT20全体を遮光するように第1導電層12を形成しても良い。第1導電層12の大きさや形状は、TFT-LCD100の用途に応じて適宜設定される。

【0061】次に、図3Bに示したように、減圧CVD法で厚さ約400nmのSiO<sub>2</sub>層13を堆積する。得られたSiO<sub>2</sub>層13をエッチングすることによって、幅2μm×17μmの開口部14を第1ポリシリコン層12上に形成する。SiO<sub>2</sub>層13の厚さや開口部14の大きさは、容量値や開口率を考慮して適宜設定される。なお、開口部14の幅(図3D中のW)および長さ

12

は、第1導電層12上の大きさで規定する。開口部14の形成方法を具体的に説明する。

【0062】所定のパターンを有するレジスト層(不図示)をSiO<sub>2</sub>層13上に形成する。このレジスト層をマスクとして、エッチングガスとしてCHF<sub>3</sub>/CF<sub>4</sub>/Ar=8:1:12を用いてドライエッチング法によってSiO<sub>2</sub>層13をエッチングする。SiO<sub>2</sub>とポリシリコンとのエッチレート比(選択比)は約20:1であるので、ポリシリコンからなる第1導電層12はSiO<sub>2</sub>層13のエッチングに対して、良好なエッチストップ層となる。厚さ400nmのSiO<sub>2</sub>層に対して20%のオーバーエッチを行っても、ポリシリコン層12のオーバーエッチ量は、高々2nmである。エッチングレートのバラツキは10%程度なので、オーバーエッチ量のバラツキは0.4nm程度である。エッチング工程において生じる開口部14の深さのバラツキは、SiO<sub>2</sub>層13を堆積する工程で生じる膜厚のバラツキ(約10%、この場合約40nm)に比べ無視できる。すなわち、エッチング工程のバラツキが開口部14の深さのバラツキの要因とはならない。

【0063】HF: NH<sub>4</sub>F等をエッチング液として用いるウェットエッチ法によると、SiO<sub>2</sub>とポリシリコンと選択比は無限大と考えられる。従って、エッチング工程に発生する深さのバラツキは更に小さいが、2次元方向のエッチング精度を考慮すると、上述したドライエッチ法を用いることが好ましい。また、遮光性を有する第1導電層12を形成するための材料としては、WSix/ポリシリコン(150nm/100nm)等のシリサイド/ポリシリコンの2層構造を用いることができる。この場合の第1絶縁層としては透明性の観点SiO<sub>2</sub>層が好ましいが、SiNを用いても良い。

【0064】図3Cに示したように、基板の全面に厚さ約50nmのポリシリコンを、例えば減圧CVD法を用いて堆積し、パターニングすることによって、ポリシリコン層(第2導電層)17を形成する。ポリシリコン層17は、開口部14内で第1導電層12に接触しており、電気的に接続されている。このポリシリコン層17は、最終的にTFTの半導体層(ソース17b、ドレイン17b'、チャネル17c)および付加容量の付加容量電極17aとなる。

【0065】図3Dに示したように、TFT部が形成される部分を覆うレジスト層16をマスクとして、ポリシリコン層17に燐(P)を注入する。イオン注入条件は、例えば15keV、2×10<sup>15</sup>/cm<sup>2</sup>である。開口部14の側壁に形成されたポリシリコン層17に十分な量のイオンを注入するためには、開口部14はテーパ形状を有していることが望ましい。テーパ角θ(第1導電層12の上面と開口部14の側面とがなす角)は、45°≤θ≤84°の範囲にあることが好ましい。開口部14の側面に形成されたポリシリコン層17に注入さ

(8)

13

れる燐の量は、底面に形成されたポリシリコン層17に注入される燐の量の $\cos \theta$ 倍になる。側面に形成されたポリシリコン層17を十分に低抵抗化するためには、側面への注入量が底面への注入量の約10分の1以上あることが好ましく、 $\theta$ は $84^\circ$ 以下であることが好ましい。なお、後の高温熱処理(約 $800^\circ\text{C}$ 以上)工程において、底面に形成されたポリシリコン層17中の不純物が拡散し、側面に形成されたポリシリコン層17が低抵抗化するので、 $\theta$ が $84^\circ$ を超えても使用できる場合がある。一方、テーパ角 $\theta$ が小さ過ぎると、開口部14上の広がり(図3D中の $\Delta$ )が大きくなり過ぎる。すなわち、ポリシリコン層(第2導電層)17の幅が広がり過ぎるので、開口率が低下する。開口率の観点から、広がり $\Delta$ は $\text{SiO}_2$ (第1絶縁層)13の厚さ $h$ 以下、すなわち $\theta \geq 45^\circ$ であることが好ましい。

【0066】図3Eに示したように、第2導電層17を覆うように、例えばCVD法を用いて、厚さ約 $80\text{nm}$ の $\text{SiO}_2$ 膜(第2絶縁層)18を形成する。あるいは、予め厚く形成した第2導電層17を酸化することによって、第2絶縁層18を形成しても良い。第2導電層17をポリシリコンで形成し、熱酸化して酸化シリコンからなる第2絶縁層18を形成しても良いし、第2導電層17をTaで形成し、陽極酸化することによって $\text{Ta}_2\text{O}_5$ からなる第2絶縁層18を形成してもよい。また、第2絶縁層18に $\text{SiN}/\text{SiO}_2$ 等からなる積層膜、または $\text{Ta}_2\text{O}_5$ 等の高誘電率膜を使用してもよい。第2絶縁層18は、付加容量誘電体層18aおよびゲート絶縁層18bとして機能する。

【0067】次に、厚さ約 $300\text{nm}$ の燐をドーブしたポリシリコン層(第3導電層)19を形成し、パターニングすることによって、付加容量対向電極19aおよびゲート電極19bが得られる。

【0068】図3Fに示したように、ポリシリコン層(第3導電層)19をマスクとして、第2導電層(ポリシリコン層)17にイオン注入することによって、ソース17bおよびドレイン17b'を形成する。このイオン注入は、例えば、燐を $100\text{keV}$ 、 $2 \times 10^{15}/\text{cm}^2$ の条件で注入することによって実施できる。あるいは、上述の従来例のように、LDD構造を形成してもよい。

【0069】図3Gに示したように、CVD法を用いて厚さ約 $600\text{nm}$ の $\text{SiO}_2$ 層(層間絶縁層)を堆積した後、不純物活性化のために、約 $850^\circ\text{C}$ で1時間の熱処理を施す。その後、第2導電層17のソース17bおよびドレイン17b'に至るコンタクトホール23aおよび23bをそれぞれ形成する。次に、例えば、厚さ $400\text{nm}$ の $\text{AlSi}$ 層24を堆積し、パターニングすることによって、ソース電極24aおよびドレイン電極24bを形成する。この工程で、ソース配線(不図示)をソース電極24aと一体に形成しても良い。

14

【0070】プラズマCVD法を用いて、基板の全面を実質的に覆うように、 $\text{SiN}$ からなるパッシベーション膜26を形成する。得られたパッシベーション膜26にドレイン電極24bに至るコンタクトホール27を形成した後、ITOを堆積しパターニングすることによって絵素電極15を形成する。

【0071】上記の製造方法における個別の工程(膜の堆積工程、イオン注入工程やエッチング工程等)は、公知の方法で実施できる。

【0072】上述したように、本実施形態の製造方法によると、第1絶縁層13の下部に形成した第1導電層12(当然に第1絶縁層とは異なる材料から形成されるので)を、第1絶縁層に開口部14を形成するためのエッチング工程におけるエッチストップ層として用いるので、エッチングの深さの制御性が上述した従来例に比べて極めて高い。従って、付加容量を形成する開口部14の深さは、実質的に第1絶縁層13の厚さで決まる。従来の基板をエッチングする際のバラツキが $\gamma$ に対して、絶縁層を堆積する工程における厚さのバラツキは、約10%程度と非常に低い。従って、本実施例の製造方法を用いてTFT-LCDを製造することによって、付加容量の容量値のバラツキの小さい、表示品位の優れたLCDを得ることができる。

【0073】さらに、付加容量10の付加容量電極17aとTFT20の半導体層(17b、17b'、17c)とを同一の層で形成できる。また、付加容量10の誘電体層18aとTFT20のゲート絶縁層18bとを同一の層で形成できる。更に、付加容量対向電極19aとゲート電極19bを同一の層から形成することができる。従って、製造プロセスを簡略化することができるので、液晶表示装置の製造コストを低減することができる。

【0074】(実施形態2)図4A、図4Bおよび図5を参照しながら本実施形態の液晶表示装置200の構造および製造方法を説明する。本実施形態の液晶表示装置200は、実施形態1のTFT-LCD100と付加容量の構造が異なる。以下の説明において、実施形態1のTFT-LCD100と実質的に同様の機能を有する構成要素を同じ参照符号で示し、ここでは説明を省略する。

【0075】図4Aは、TFT-LCD200の付加容量10aおよびTFT20を含む部分の模式的な断面図であり、図5の破線X1-X2-X3-X4、X4'に沿った模式的な断面図に相当する。図4Bは、第1導電層と第3導電層との接続部の断面図であり、図5の4B-4B'線に沿った断面図に相当する。図5はTFT-LCD200の1絵素の対応する部分の上面図である。

【0076】TFT-LCD200は、TFT-LCD100における第1導電層12と第2導電層17との間に、さらなる絶縁層52を有している。また、TFT-



(9)

15

LCD200においては、第1導電層12を2つの層（領域）12aおよび12bに分離している。第1導電層12aは付加容量10a付加容量電極として機能し、第1導電層12bはTFT20の遮光層として機能する。これらは、実施形態1と同様にして単一の第1導電層12を形成した後、パターニングすることによって互いに分離した層（導電層12aおよび遮光層12b）として形成される。

【0077】少なくともTFTのチャネル領域覆う遮光層12bと付加容量対向電極として機能する導電層12aとを分離することによって、付加容量対向電極の電位がTFTのチャネル領域に影響することを防止できるので、TFTの動作特性を安定にすることができる。しかしながら、第1導電層12に強力な光が入射しない場合には、実施形態1のTFT-LCD100と同様に一体に形成してもよい。

【0078】絶縁層52は、開口部14内に露出された第1導電層12aを覆い、第1導電層12aと第2導電層17とを互いに絶縁する。第1導電層12aは第3導電層と電気的に接続されており（図4B参照）、第1導電層12aには対向電圧（共通電圧）が印加される。従って、絶縁層52は付加容量10aの誘電体層として機能する。

【0079】絶縁層52は、実施形態1のTFT-LCD100の製造方法における図3Bに示した工程と図3Cに示した工程の間に、たとえば、減圧CVD法で基板のほぼ全面に約80nmのSiO<sub>2</sub>を堆積することによって形成することができる。あるいは、開口部14に露出した第1ポリシリコン層17の表面を酸化することによっても形成することができる。また、絶縁層52にSiN/SiO<sub>2</sub>等からなる積層膜、またはTa<sub>2</sub>O<sub>5</sub>等の高誘電率膜を使用してもよい。絶縁層52は、付加容量10aの誘電体層として機能すればよいので、第1導電層12aと第2導電層17aとの間、すなわち開口部14内に露出された第1導電層12a上にのみ形成しても良い。

【0080】第1導電層12aと第3導電層19aは、図5に示したように、表示領域外で互いに接続されることが開口率の観点から好ましい。第1導電層12aと第3導電層19aとの電気的な接続は、例えば、図4Bに示した構成で実現される。絶縁層22に、第3導電層19aを露出するコンタクトホール54および第1導電層12aを露出するコンタクトホール56を形成する。それぞれのコンタクトホール54および56において、第1および第3導電層12aおよび19aのそれぞれと接触する電極層24cを形成することによって、第1導電層12aと第3導電層19aとが電気的に互いに接続される。コンタクトホール54および56の形成は、例えば、実施形態1について図3Gを参照しながら説明した、コンタクトホール23aおよび23bを形成

16

する工程において実施することができる。また、電極層24cは、同じく図3Gを参照しながら説明したソース電極24aおよびドレイン電極24bを形成する工程において実施することができる。なお、電極層24cはソース電極24aおよびドレイン電極24bから分離されており、電極層24cには対向電圧が印加される。

【0081】TFT-LCD200の付加容量10aは、第1導電層（第1付加容量対向電極）12a/絶縁層（第1付加容量誘電体層）52/第2導電層（付加容量電極）17a/第2絶縁層（第2付加容量誘電体層）18a/第3導電層（第2付加容量対向電極）19aを含む積層構造から形成されている。すなわち、付加容量10aは、第1導電層（第1付加容量対向電極）12a/絶縁層（第1付加容量誘電体層）52/第2導電層（付加容量電極）17aから形成される容量と、第2導電層（付加容量電極）17a/第2絶縁層（第2付加容量誘電体層）18a/第3導電層（第2付加容量対向電極）19aから形成される容量とが並列に接続された容量である。従って、実施形態1のTFT-LCD100が有する付加容量10の構造に比較して、より狭い占有面積に、同じ容量値の付加容量を形成することができる。

【0082】絵素の大きさを18μm×18μm、第1および第2付加容量誘電体層（酸化シリコン）の厚さをそれぞれ80nmとして、30fFの付加容量値Csを得るために必要な付加容量10の基板表面に射影した面積（図5および図2B中のハッチング部の面積）を比較する。図2Bに示した開口部構造（トレンチ構造）を有さない付加容量は、約70μm<sup>2</sup>の射影面積が必要なのに対し、実施形態2の図5に示した幅1μm×長さ17μmの開口部14を有し、且つ2つの容量を並列に接続した構造では、約36μm<sup>2</sup>の射影面積で30fFの付加容量値を得ることができる。開口率（図5および図2B中の開口部15a（ハッチング部）の絵素全体の面積に対する割合）で比較すると、図2Bの構造の開口率が約42%であるのに対し、図5の構造の開口率は約51%である。この様に、実施形態2によると、実施形態1の効果に加えて更なる高開口率化が達成される。

【0083】上記の実施形態1および2で説明したように、本発明によると液晶表示装置の開口率を向上するとともに、付加容量の容量値のバラツキを低減することができる。特に、ポリシリコンを半導体層に用いた小型・高密度・高精細のTFT液晶表示装置において本発明の効果は顕著である。特に、第1導電層を遮光層として用いる構成は、強力な光が照射される投写型液晶表示装置に好適に用いられる。

【0084】

【発明の効果】本発明によると、小さな占有面積でも大きな容量値を確保でき、しかも、容量値のバラツキが著しく低減された付加容量を実現できる。これによって、高開口率（明るい）、高画質の液晶表示装置を提供でき

(10)

17

る。

【0085】また、本発明の液晶表示装置は簡単かつ素な構成を有しているため、製造工程を簡略化できるので、高画質の液晶表示装置を低コストで歩留まりよく製造することができる。本発明による液晶表示装置は、TFTの半導体層にポリシリコンを用いた比較的小型で高精細の液晶表示装置に好適に適用される。

【図面の簡単な説明】

【図1】本発明の実施形態1によるTFT-LCD100の模式的な断面図である。

【図2A】TFT-LCD100の1絵素部分の模式的な上面図である。

【図2B】比較例のTFT-LCDの絵素部分の模式的な上面図である。

【図3A】TFT-LCD100の製造工程を示す断面図である。

【図3B】TFT-LCD100の他の製造工程を示す断面図である。

【図3C】TFT-LCD100の他の製造工程を示す断面図である。

【図3D】TFT-LCD100の他の製造工程を示す断面図である。

【図3E】TFT-LCD100の他の製造工程を示す断面図である。

【図3F】TFT-LCD100の他の製造工程を示す断面図である。

【図3G】TFT-LCD100の他の製造工程を示す断面図である。

【図4A】本発明の実施形態2によるTFT-LCD200の付加容量およびTFTを含む部分の模式的な断面図である。

【図4B】実施形態2によるTFT-LCD200の第1導電層12aと第3導電層19aとの接続部の模式的な断面図である。

18

【図5】本発明の実施形態2によるTFT-LCD200の1絵素部分および図4Bに示した接続部の模式的な上面図である。

【図6】TFT型液晶表示装置の1つの絵素の等価回路を示す図である。

【図7】従来のTFT液晶表示装置のTFTおよび付加容量を形成する工程を示す断面図である。

【符号の説明】

10 付加容量

11、31 絶縁性基板

12 第1導電層

13 第1絶縁層

14 開口部（溝またはトレンチ）

15 絵素電極

17a 第2導電層

17b ソース

17b' ドレイン

17c チャンネル

18a 第2絶縁層

18b ゲート絶縁層

19a 第3導電層

19b ゲート電極

20 TFT

22 絶縁層

23a、23b、27 コンタクトホール

24a ソース電極

24b ドレイン電極

26 バッシベーション層

35 対向電極（共通電極）

50 対向基板

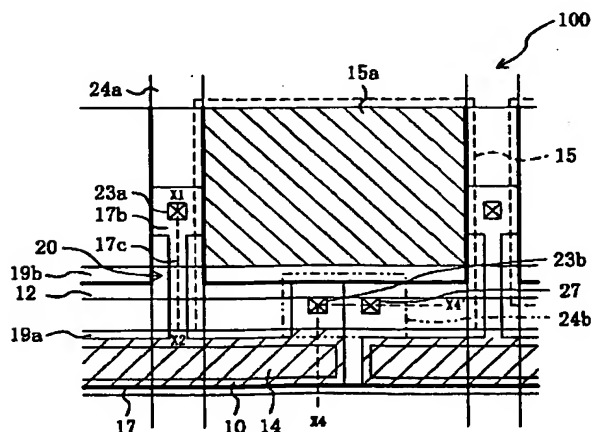
60 液晶層

100、200 TFT-LCD

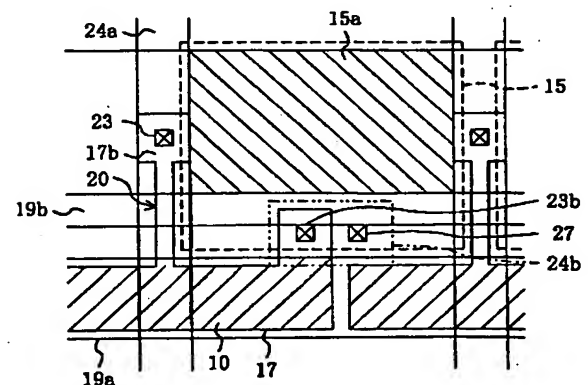
100a TFT基板

100b 対向基板

【図2A】

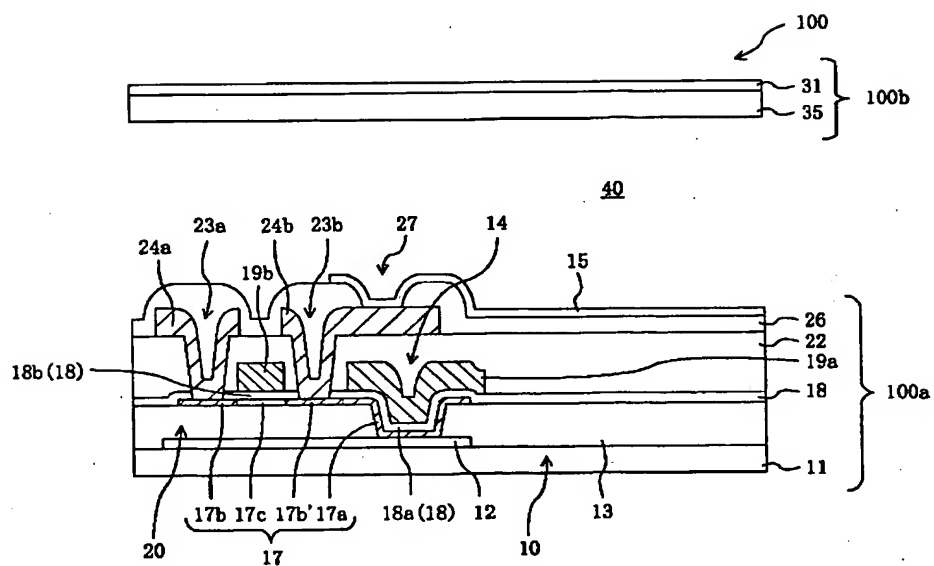


【図2B】

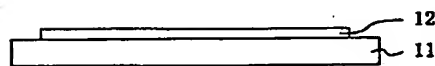


(11)

【図1】



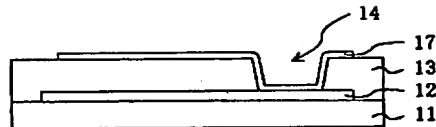
【図3A】



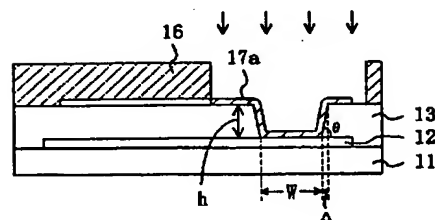
【図3B】



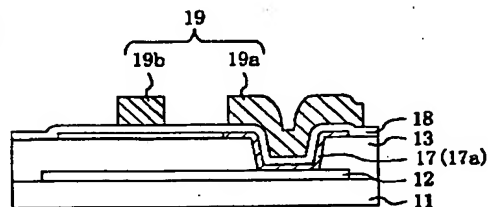
【図3C】



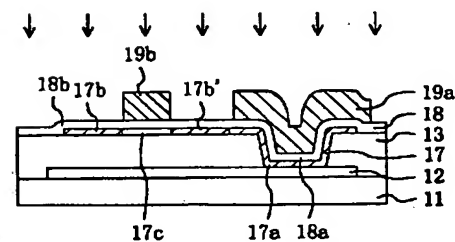
【図3D】



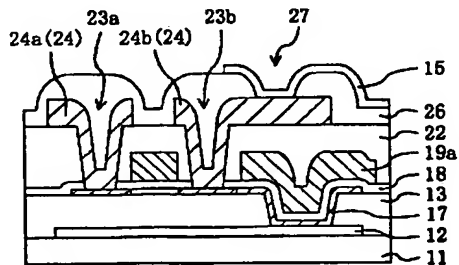
【図3E】



【図3F】

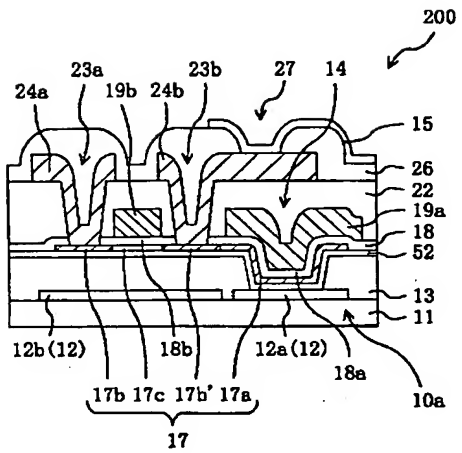


【図3G】

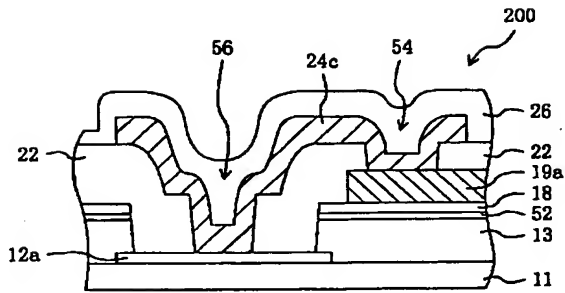


(12)

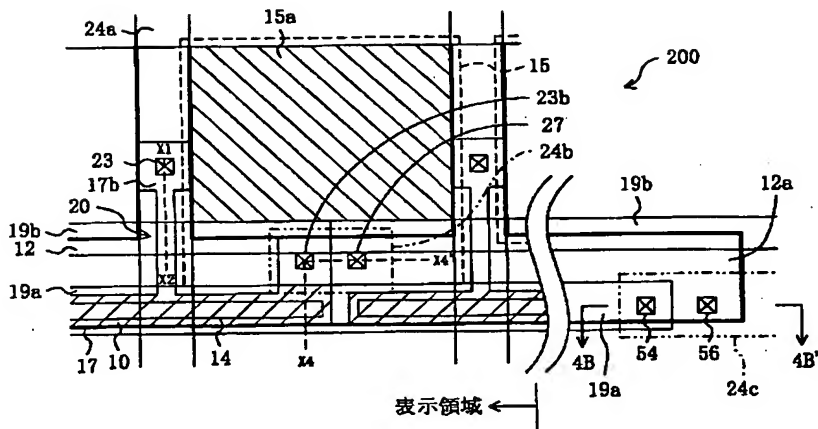
【図4A】



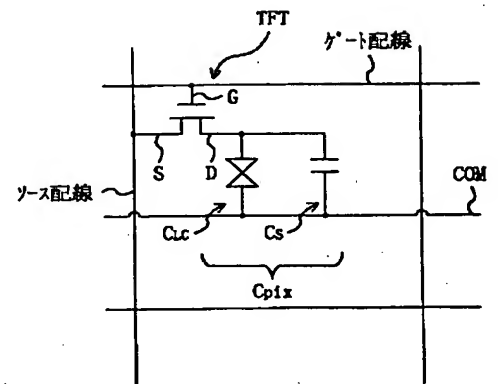
【図4B】



【図5】

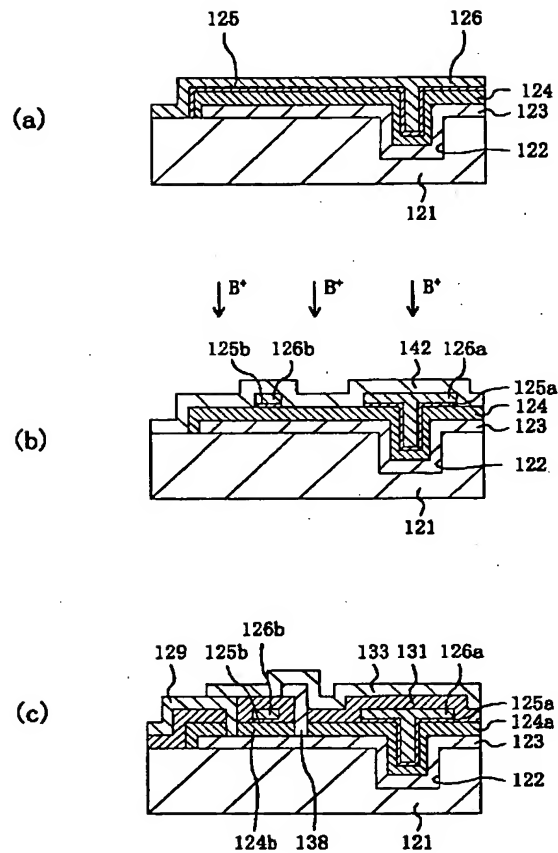


【図6】



(13)

【図7】



## 【手続補正書】

【提出日】平成12年6月23日（2000.6.23）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】液晶表示装置およびその製造方法

【特許請求の範囲】

【請求項1】 絶縁性基板と、前記絶縁性基板上に形成された薄膜トランジスタと、前記薄膜トランジスタに電気的に接続された絵素電極および付加容量とを有する液晶表示装置であって、  
前記絶縁性基板上に形成された第1導電層と、  
前記第1導電層上に形成され、前記第1導電層の一部を露出する開口部を有する第1絶縁層と、  
少なくとも前記開口部内に位置する前記第1導電層上に形成された第2導電層と、  
前記第2導電層を覆う第2絶縁層と、

少なくとも前記開口部内に位置する前記第2絶縁層を覆う、第3導電層とを有し、

前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量が形成されている液晶表示装置。

【請求項2】 前記第2導電層は前記開口部内において前記第1導電層と接触するように形成されている請求項1に記載の液晶表示装置。

【請求項3】 前記第1導電層と前記第2導電層との間に形成された第3絶縁層を更に有し、前記第1導電層と前記第2導電層とが互いに電気的に絶縁されている請求項1に記載の液晶表示装置。

【請求項4】 前記第1導電層と前記第3導電層とは互いに電気的に接続されており、前記第1導電層と、前記第3絶縁層と、前記第2導電層とを含む積層構造および前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量が形成されている請求項3に記載の液晶表示装置。

【請求項5】 前記第1導電層と前記第3導電層とは、表示領域外に位置する前記第1絶縁層に形成されたコン

(14)

タクトホールにおいて互いに接続されている請求項4に記載の液晶表示装置。

【請求項6】 少なくとも前記薄膜トランジスタのチャネルと重なるように形成されている遮光層を有し、前記遮光層は、前記第1導電層と同一の膜から形成されており、且つ、前記遮光層と前記第1導電層とは互いに電氣的に絶縁されている請求項1から5のいずれかに記載の液晶表示装置。

【請求項7】 前記薄膜トランジスタのゲート絶縁層は、前記第2絶縁層と同一の膜から形成されている請求項1から6のいずれかに記載の液晶表示装置。

【請求項8】 前記薄膜トランジスタのチャネル、ソースおよびドレインは、前記第2導電層と同一の膜に形成されている請求項1から7のいずれかに記載の液晶表示装置。

【請求項9】 前記薄膜トランジスタのゲート電極は、前記第3導電層と同一の膜から形成されている請求項1から8のいずれかに記載の液晶表示装置。

【請求項10】 絶縁性基板と、前記絶縁性基板上に形成された薄膜トランジスタと、前記薄膜トランジスタに電氣的に接続された絵素電極および付加容量とを有する液晶表示装置の製造方法であって、前記絶縁性基板上に第1導電層を形成する工程と、前記第1導電層上に第1絶縁層を形成する工程と、前記第1導電層をエッチストップ層として用いて前記第1絶縁層をエッチングすることによって、前記第1導電層の一部を露出する開口部を前記第1絶縁層に形成する工程と、少なくとも前記開口部内の前記第1導電層上に第2導電層を形成する工程と、前記第2導電層を覆う第2絶縁層を形成する工程と、少なくとも前記開口部内に位置する前記第2絶縁層を覆う、第3導電層を形成する工程とを包含し、前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量を形成する液晶表示装置の製造方法。

【請求項11】 前記第1導電層と前記第2導電層との間に、前記第1導電層と前記第2導電層とを互いに電氣的に絶縁する第3絶縁層を形成する工程と、前記第1導電層と前記第3導電層とを互いに電氣的に接続する工程とをさらに包含し、前記第1導電層と、前記第3絶縁層と、前記第2導電層とを含む積層構造および前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量を形成する請求項10に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置およびその製造方法に関し、特に、薄膜トランジスタを有す

るアクティブマトリクス型液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】 近年、アクティブマトリクス型液晶表示装置は、パーソナルコンピュータの表示装置、薄型テレビ、ビデオ撮像装置やデジタルカメラの表示装置等として広く利用されている。アクティブマトリクス型液晶表示装置のうち、能動素子として薄膜トランジスタを有するもの（以下、「TFT型液晶表示装置」という。）の1つの絵素の等価回路を図6に示す。絵素（絵素領域）がマトリクス状に配置された領域が表示領域を構成している。

【0003】 TFT型液晶表示装置は、絵素ごとに、薄膜トランジスタ（以下、「TFT」という。）と、TFTのドレインDに接続された液晶容量 $C_{LC}$ および付加容量 $C_S$ とを有している。液晶容量 $C_{LC}$ と付加容量 $C_S$ とを合わせて絵素容量 $C_{pix}$ と呼ぶ。TFTのゲートGにはゲート配線（走査配線）が接続され、ソースSにはソース配線（信号配線）が接続されている。ゲートGに走査信号が印加されている期間（1走査期間）に、ソース配線からTFTのソースSに印加されている信号電圧が、液晶容量 $C_{LC}$ のドレイン側電極および付加容量 $C_S$ のドレイン側電極（それぞれ、「絵素電極」および「付加容量電極」と呼ぶ。）に印加される。一方、液晶容量 $C_{LC}$ の他方の電極および付加容量 $C_S$ の他方の電極（それぞれ、「対向電極」および「付加容量対向電極」と呼ぶ。）には、対向電極または付加容量対向電極線（共通配線）COMを介して所定の対向電圧（共通電圧）が印加される。TFT基板に形成される付加容量対向電極線COMは対向基板に形成されている対向電極に電氣的に接続されている。液晶容量 $C_{LC}$ に印加される正味の電圧は、信号電圧と対向電圧との差である。この電圧の大きさに応じて液晶の配向状態が変化することによって、信号電圧に対応する表示状態が得られる。

【0004】 ゲートGに走査信号が印加されていない期間（すなわち、他のゲート配線に接続されているTFTが選択されている期間）には、液晶容量 $C_{LC}$ および付加容量 $C_S$ はTFTによってソース配線とは電氣的に絶縁されている。注目しているTFTが次に選択される迄、液晶容量 $C_{LC}$ および付加容量 $C_S$ は先に印加された電圧を保持することによって所定の表示状態を維持する。この間に、TFTおよび絵素容量 $C_{pix}$ の電圧保持特性が低いと、表示品位の低下を招く。

【0005】 所望の電圧保持特性を得るために、比較的大きな容量値を有する付加容量 $C_S$ が必要とされる場合がある。付加容量 $C_S$ の容量を大きくするために、付加容量電極および付加容量対向電極の面積を大きくすると、これらの電極は一般に不透明な材料を用いて形成されるので、透過型液晶表示装置の開口率の低下を招く。

【0006】 特開平5-61071号公報は、絵素部に



容量の大きな付加容量を有するTFT型液晶表示装置を開示している。上記公報に開示されている液晶表示装置のTFTおよび付加容量を形成する工程を示す断面図を図7に示す。

【0007】上記公報によると、開口率の低下を抑制するために、TFTが形成される絶縁基板121の表面に溝部(トレンチ)122を形成し、この溝部122に付加容量(容量成分)を形成している。さらに、TFTの半導体層と同一工程で一体に形成された第1電極123と、TFTのゲート電極と同一材料で形成された第2電極126aと、TFTのゲート絶縁層と同一の材料で形成された絶縁膜124aおよび125aとから付加容量を形成することによって、構造および製造工程を簡略化している。

【0008】図7(a)～図7(c)に示したTFTおよび付加容量部分を含むTFT基板は、以下の工程で作製される。

【0009】(1)石英基板121の表面に、 $\text{HF}:\text{NH}_4\text{F}=1:6$ をエッチャントとするウェットエッチングにより溝122を形成する。

【0010】(2)減圧CVD法で膜厚80nmの第1ポリシリコン層123を形成する。得られた第1ポリシリコン層123に、 $30\text{keV}$ 、 $1\times 10^{15}/\text{cm}^2$ 及び $50\text{keV}$ 、 $1\times 10^{15}/\text{cm}^2$ の条件で、合計2回のシリコン注入を行う。その後、 $620^\circ\text{C}$ で固相アニールを行った後、第1ポリシリコン層123の一部をエッチングで除去する。

【0011】(3)第1ポリシリコン層123を $1000^\circ\text{C}$ で熱酸化により、表面に厚さ50nmの $\text{SiO}_2$ 膜124を形成する。酸化されずに残った第1ポリシリコン層123が最終的に付加容量の第1電極およびTFTの半導体層(ソース、チャネル、ドレイン)となる。

【0012】(4) $\text{SiO}_2$ 膜124のTFTを形成する領域をレジスト層で保護した状態で、 $30\text{keV}$ 、 $5\times 10^{15}/\text{cm}^2$ の条件で、付加容量の第1電極となる第1ポリシリコン層123に砒素イオン( $\text{As}^+$ )を注入する。

【0013】(5)レジスト層を除去した後、 $\text{SiO}_2$ 膜124を覆う厚さ30nmの $\text{SiN}$ 膜125を減圧CVD法により形成する。

【0014】(6)全面に減圧CVD法により、厚さ350nmの第2ポリシリコン層126を形成し、PSGによる低抵抗化を図る。

【0015】(7) $\text{CF}_4/\text{O}_2=95/5$ のガスを用いて、第2ポリシリコン層126及び $\text{SiN}$ 膜125をパターニングすることによって、TFTのゲート電極126b、付加容量の第2電極126a、 $\text{SiN}$ ゲート絶縁層125bおよび付加容量用 $\text{SiN}$ 125aが形成される。次に、TFTの第1ポリシリコン層123に $\text{SiO}_2$ 膜124を介して砒素を $160\text{keV}$ 、 $1\times 10^{13}$

$/\text{cm}^2$ の条件でイオン注入し、LDD (lightly doped drain) を形成する。

【0016】(8)第2ポリシリコンから形成されたゲート電極126b覆うレジストを形成し、砒素イオンを $140\text{keV}$ 、 $2\times 10^{15}/\text{cm}^2$ の条件でイオン注入し、nチャネルを形成する。次に、レジスト層を除去した後、新たに全面にレジスト層を形成し、ホウ素イオン( $\text{B}^+$ )を $30\text{keV}$ 、 $2\times 10^{15}/\text{cm}^2$ の条件でイオン注入を行い、pチャネルを形成する。

【0017】(9)レジストを除去した後、減圧CVD法により、燐珪酸ガラス(PSG)からなる層間絶縁膜131を形成する。

【0018】(10) $\text{HF}:\text{NH}_4\text{F}$ を用いたウェットエッチングによって、層間絶縁膜131および $\text{SiO}_2$ 膜124に第1コンタクトホール132を形成する。

【0019】(11)次に、膜厚140nmのITO(インジウム錫酸化物)層129を $400^\circ\text{C}$ でスパッタ法を用いて形成する。得られたITO膜129を $\text{HCl}:\text{H}_2\text{O}:\text{HNO}_3=300:300:50$ からなるエッチャントを用いてウェットエッチすることによってITO膜129をパターニングする。その後、レジスト層をマスクとして、 $\text{HF}/\text{NH}_4\text{F}$ を用いたウェットエッチングによってITO膜129に第2コンタクトホール134を形成する。

【0020】(12)スパッタ法を用いて全面に厚さ600nmの $\text{AlSi}$ 層を堆積し、 $\text{H}_3\text{PO}_4:\text{H}_2\text{O}=2:10$ を用いたウェットエッチによって $\text{AlSi}$ 層をパターニングし電極130を形成する。続いて、厚さ400nmの $\text{SiN}$ からなるパッシベーション膜133を常圧CVD法で形成する。パッシベーション膜133は、 $\text{CF}_4:\text{O}_2=95:5$ ガスを用いたプラズマエッチングによってパターニングされる。

【0021】

【発明が解決しようとする課題】上記公報に開示されている液晶表示装置の付加容量の容量値は、溝の開口径、溝の深さ、誘電体層を形成する材料の種類(誘電率)、誘電体層の厚さで決まる。上記従来技術の付加容量を設計通りの容量値を有するように形成するために最も重要な要因は、溝の深さの制御である。この溝は単一の材料からなる基板の表面をエッチングすることによって形成されるので、溝の深さの制御はエッチング時間を制御することによってなされる。しかしながら、エッチング時間を正確に制御しても、エッチレートにバラツキがあると、溝の深さにバラツキが生じる。付加容量の容量値のバラツキは、液晶表示装置の表示品位を低下させる。

【0022】容量値が小さいと付加容量が蓄積できる電荷量が減少するので、TFTを流れるリーク電流の影響を強く受け、所定の電圧を保持できなくなる。逆に、付加容量の容量値が大きいと、十分に充電することができなくなり、付加容量および液晶容量の両端に所定の電圧

(16)

が印加されなくなる。

【0023】本発明は、上記課題を解決するためになされたものであり、その主な目的は、付加容量の容量値のバラツキが小さく、表示品位の優れた液晶表示装置およびその製造方法を提供することにある。

【0024】

【課題を解決するための手段】本発明の液晶表示装置は、絶縁性基板と、前記絶縁性基板上に形成された薄膜トランジスタと、前記薄膜トランジスタに電気的に接続された絵素電極および付加容量とを有する液晶表示装置であって、前記絶縁性基板上に形成された第1導電層と、前記第1導電層上に形成され、前記第1導電層の一部を露出する開口部を有する第1絶縁層と、少なくとも前記開口部内に位置する前記第1導電層上に形成された第2導電層と、前記第2導電層を覆う第2絶縁層と、少なくとも前記開口部内に位置する前記第2絶縁層を覆う、第3導電層とを有し、前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量が形成されており、そのことによって上記目的が達成される。

【0025】前記第2導電層は前記開口部内において前記第1導電層と接触するように形成されてもよい。

【0026】前記第1導電層と前記第2導電層との間に形成された第3絶縁層を更に有し、前記第1導電層と前記第2導電層とが互いに電気的に絶縁されてもよい。

【0027】前記第1導電層と前記第3導電層とは互いに電気的に接続されており、前記第1導電層と、前記第3絶縁層と、前記第2導電層とを含む積層構造および前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量が形成される構成としてもよい。

【0028】前記第1導電層と前記第3導電層とは、表示領域外に位置する前記第1絶縁層に形成されたコンタクトホールにおいて互いに接続されていることが好ましい。

【0029】少なくとも前記薄膜トランジスタのチャンネルと重なるように形成されている遮光層を有し、前記遮光層は、前記第1導電層と同一の膜から形成されており、且つ、前記遮光層と前記第1導電層とは互いに電気的に絶縁されている構成してもよい。

【0030】前記薄膜トランジスタのゲート絶縁層は、前記第2絶縁層と同一の膜から形成されていることが好ましい。

【0031】前記薄膜トランジスタのチャンネル、ソースおよびドレインは、前記第2導電層と同一の膜に形成されていることが好ましい。

【0032】前記薄膜トランジスタのゲート電極は、前記第3導電層と同一の膜から形成されていることが好ましい。

【0033】本発明の液晶表示装置の製造方法は、絶縁

性基板と、前記絶縁性基板上に形成された薄膜トランジスタと、前記薄膜トランジスタに電気的に接続された絵素電極および付加容量とを有する液晶表示装置の製造方法であって、前記絶縁性基板上に第1導電層を形成する工程と、前記第1導電層上に第1絶縁層を形成する工程と、前記第1導電層をエッチストップ層として用いて前記第1絶縁層をエッチングすることによって、前記第1導電層の一部を露出する開口部を前記第1絶縁層に形成する工程と、少なくとも前記開口部内の前記第1導電層上に第2導電層を形成する工程と、前記第2導電層を覆う第2絶縁層を形成する工程と、少なくとも前記開口部内に位置する前記第2絶縁層を覆う、第3導電層を形成する工程とを包含し、前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量を形成し、そのことによって上記目的が達成される。

【0034】前記第1導電層と前記第2導電層との間に、前記第1導電層と前記第2導電層とを互いに電気的に絶縁する第3絶縁層を形成する工程と、前記第1導電層と前記第3導電層とを互いに電気的に接続する工程とをさらに包含し、前記第1導電層と、前記第3絶縁層と、前記第2導電層とを含む積層構造および前記第2導電層と、前記第2絶縁層と、前記第3導電層とを含む積層構造から前記付加容量を形成してもよい。

【0035】以下に、本発明の作用を説明する。

【0036】本発明の液晶表示装置の付加容量は、少なくとも開口部（溝またはトレンチ）に形成された、第2導電層（付加容量電極）／第2絶縁層（付加容量誘電体層）／第3導電層（付加容量対向電極）とを含む積層構造から形成されている。付加容量は開口部に形成されているので、狭い占有面積で大きな容量値を確保することができる。さらに、この開口部は、第1導電層上に形成された第1絶縁層上に形成されている。第1導電層と第1絶縁層は異なる材料から形成されているので、第1絶縁層にエッチングによって開口部を形成する工程において、下地の第1導電層をエッチストップ層として機能させることができる。従って、付加容量が形成される開口部の深さは、正確に制御されるので、容量値のバラツキが著しく低減された付加容量を実現することができる。

【0037】第2導電層は開口部内の第1導電層に接触するように形成しても良いし、開口部内の第1導電層上にさらなる絶縁層を設けて第1導電層と第2導電層とを互いに絶縁してもよい。開口部内の第1導電層と第2導電層とをさらなる絶縁層で互いに絶縁した構成において、第1導電層と第3導電層とを電気的に接続することによって、第2導電層（付加容量電極）／第2絶縁層（付加容量誘電体層）／第3導電層（付加容量対向電極）から形成される容量に加えて、第1導電層（付加容量対向電極）／さらなる絶縁層（付加容量誘電体層）／第2導電層（付加容量電極）から形成される容量が並列に接続されている。従って、単位占有面積当たりの容量

(17)

値を増加させることができる。すなわち、液晶表示装置の開口率を一層高めることが可能となる。第1導電層と第3導電層との電気的な接続を、絵素電極と重ならない位置で実現することによって、開口率の低下を防止することができる。

【0038】第1導電層を遮光性を有する材料を用いて形成することによって、第1導電層を、TFTのチャネルに入射する光を防ぐ遮光層として用いることができる。特に、TFTのチャネルやLDDトランジスタのLDD領域を少なくとも覆う遮光層を形成することによって、TFTの光リークを抑制することができる。液晶表示装置の用途に応じて、裏面からの光学系等からの反射光を遮光する構成としてもよいし、上方からの直接入射光を遮光する構成としてもよい。

【0039】第1導電層を付加容量対向電極として利用する構成においては、付加容量対向電極として機能する部分と遮光層として機能する部分を電気的に分離して形成することが好ましい。少なくともTFTのチャネル領域覆う部分と付加容量対向電極とを分離することによって、付加容量対向電極の電位がTFTのチャネル領域に影響することを防止できるので、TFTの動作特性を安定にすることができる。

【0040】また、付加容量電極として機能する層とTFTの半導体層（チャネル、ソース、ドレインとが形成される層）とを同一の膜を用いて形成する構成にすることによって、液晶表示装置の製造方法を簡略化することができる。例えば、ポリシリコン膜に不純物濃度の異なる領域を形成することによって、付加容量電極、TFTのチャネル、ソースおよびドレインを形成することができる。

【0041】さらに、付加容量誘電体層として機能する層とTFTのゲート絶縁層とを同一の膜から形成することによって、液晶表示装置の製造方法を簡略化することができる。また、付加容量対向電極として機能する層とゲート電極とを同一の膜から形成することによって、液晶表示装置の製造方法を簡略化することもできる。

【0042】

【発明の実施の形態】（実施形態1）本実施形態のTFT液晶表示装置（以下、TFT-LCDという。）100を図1および図2Aに模式的に示す。図1はTFT-LCD100の1絵素に対応する部分の模式的な断面図であり、図2Aはその上面図である。図1は図2A中の破線X1-X2-X4-X4'線に沿った断面図に相当する。本発明によるTFT-LCDの等価回路は図6に示した等価回路と同じであり、上記の説明において用いた構成要素の名称を本発明の説明においても用いる。

【0043】TFT-LCD100は、TFT基板100aと、対向基板100bと、TFT基板100aと対向基板100bとの間に挟持された液晶層40とを有している。一般的なTNモードの液晶表示装置の場合、T

F基板100aおよび対向基板100bの液晶層40側の表面に配向膜（不図示）が設けられ、TFT基板100aおよび対向基板100bのそれぞれの外側に偏光板（不図示）が設けられる。表示モードによっては、配向膜や偏光板を省略することができる。

【0044】TFT基板100aは、絶縁性基板11と、絶縁性基板11上に形成されたTFT20と、TFT20に電気的に接続された絵素電極15および付加容量10とを有している。

【0045】付加容量10は、絶縁性基板11上に形成された第1導電層12と、第1導電層12の一部を露出する開口部（溝またはトレンチとも呼ばれる）14を有する第1絶縁層13と、開口部14内において第1導電層12に接触する第2導電層17aと、第2導電層17aを覆う第2絶縁層18と、少なくとも開口部14内に位置する第2絶縁層18を覆う第3導電層19aとをこの順で有する積層構造から形成されている。すなわち、付加容量10は、第2導電層17aからなる付加容量電極と、第3導電層19aからなる付加容量対向電極（付加容量対向電極線）と、これらの電極間に位置する第2絶縁層18からなる付加容量誘電体層とを有する。付加容量10は、図2A中にハッチングで示した第2導電層17と第3導電層19aとが重なる領域に形成される。

【0046】TFT20は、ソース17b、ドレイン17b'およびチャネル17cを有する半導体層17と、半導体層上に形成された第2絶縁層（ゲート絶縁層）18と、チャネル17cの真上に位置する第2絶縁層18上に形成されたゲート電極19bとを有している。ゲート電極19bはゲート配線の一部として形成されている。

【0047】TFT20および付加容量10は絶縁層22に覆われている。絶縁層22にはコンタクトホール23aおよび23bが形成されており、それぞれ、ソース17bおよびドレイン17b'の少なくとも一部を露出している。ソース17bおよびドレイン17b'は、コンタクトホール23aおよび23b内でそれぞれソース電極24aおよびドレイン電極24bに接続されている。これら全てを覆うパッシベーション層26には、ドレイン電極24bの一部を露出するコンタクトホール27が形成されている。パッシベーション26上に形成されている絵素電極15は、コンタクトホール27内でドレイン電極24bと電気的に接続されている。

【0048】対向基板100bは、絶縁基板31と、絶縁基板31上に形成された対向電極（共通電極）35とを有している。必要に応じて、配向層やカラーフィルタ層（いずれも不図示）を設けても良い。

【0049】図6の等価回路中の液晶容量CLCは、絵素電極15と、対向電極35と、これらの電極間に挟持された液晶層40とによって形成される。絵素電極15および付加容量電極（第2導電層）17aにはTFT2

(18)

0のドレイン17b'を介して信号電圧が印加され、対向電極35および付加容量対向電極19aには、共通配線(図2A中の19a)を介して共通電圧が印加される。なお、共通配線は接地されても良い。

【0050】TFT-LCD100の付加容量10は、絵素毎にTFT20の近傍に形成される。付加容量10は、絶縁層13に形成された開口部14に積層された第2導電層(付加容量電極)17a/第2絶縁層(付加容量誘電体層)18a/第3導電層(付加容量対向電極)19aを含む積層構造から形成されるので、狭い占有面積(基板面に射影した面積)で大きな容量値を確保することができるので、高い開口率を確保することができる。

【0051】開口率の向上効果について、図2Bに示した開口部が形成されていない付加容量を有するTFT-LCDと比較して、定量的に説明する。図2BのTFT-LCDは第1絶縁層13に開口部を有していないこと以外は実質的に図2Aに示したTFT-LCD100と同じなので、その構成要素は図2Aと共通の参照符号を用いて示し、詳細な説明を省略する。

【0052】TFT-LCDにおいて、 $i_{off}$ (トランジスタのoff電流) $=0.04\text{ pA}$ 、 $t_{off}$ (トランジスタのoff期間) $=16.7\text{ msec}$ (60Hz駆動)、初期電圧 $V_{app}=9\text{ V}$ として、例えば、99.5%以上の電圧保持率(1フレーム期間の電圧降下 $\Delta V$ が0.5%以下)を得るためには、 $\Delta V \sim \{(1/2) \times i_{off} \times t_{off}\} / C_S \leq V_{app} \times (0.5/100)$ の関係から、約30fF以上の付加容量値 $C_S$ が必要であると見積もることができる。もちろん、この条件は、TFT-LCDの駆動方法や、液晶容量および/またはTFTのソース・ドレイン容量等によって変わる。

【0053】絵素の大きさを $18\text{ }\mu\text{m} \times 18\text{ }\mu\text{m}$ 、付加容量誘電体層(酸化シリコン)の厚さを80nmとして、30fFの付加容量値 $C_S$ を得るために必要な付加容量10の基板表面に射影した面積(図2Aおよび図2B中のハッチング部の面積)を比較する。図2Bに示した開口部構造(トレンチ構造)を有さない付加容量は、約 $70\text{ }\mu\text{m}^2$ の射影面積が必要なのに対し、実施形態1の図2Aに示した幅 $2\text{ }\mu\text{m} \times$ 長さ $17\text{ }\mu\text{m}$ の開口部14を有する構造では、約 $53\text{ }\mu\text{m}^2$ の射影面積で30fFの付加容量値を得ることができる。開口率(図2Aおよび図2B中の開口部15a(ハッチング部)の絵素全体の面積に対する割合)で比較すると、図2Bの構造の開口率が約42%であるのに対し、図2Aの構造の開口率は約46%であり、高開口率化が達成されている。

【0054】さらに、開口部14は絶縁層13を貫通する穴であり、且つ、絶縁層13の下(開口部14の底)には導電層12が形成されている。従って、絶縁層13にエッチングによって開口部14を形成する工程において、導電層12をエッチストップ層として用いることが

できる。その結果、上述した従来のトレンチ型付加容量において溝の深さの制御が困難なために容量値がばらつくという問題が、生じない。

【0055】また、導電層12に遮光性を有する材料を用いて、図1に示した様にTFT20の下部まで拡がるように形成することによって、TFT20(特にチャネル17c)に光が入射することを防止することができる。すなわち、導電層12は、製造工程においてエッチストップ層として機能するとともに、最終製品においては遮光層として機能する。

【0056】図1に示した構造においては、第2導電層18が開口部14内で第1導電層12に接触しているが、第1導電層12と第2導電層18との間に絶縁層を設けて、第1導電層12を第2導電層18から電気的に絶縁してもよい。例えば、上述のように、第1導電層12をTFT20を遮光する膜として用いる場合には、第1導電層12の電位がTFT20の動作に影響しないように、第1導電層12を絶縁することが好ましい。第1導電層12と第2導電層18との間に絶縁層を設ける代わりに、実施形態2において説明するように、第1導電層12を分離してもよい。なお、第2導電層18が開口部14内で第1導電層12と接触する構造を採用する方が、開口部14の深さを正確に制御できる利点がある。すなわち、開口部14内に絶縁層を形成すると、僅かではあるが、絶縁層の厚さのバラツキが開口部14の深さのバラツキとなる。

【0057】さらに、図1に示した構造を採用すると、付加容量10の付加容量電極17aとTFT20の半導体層(17b、17b'、17c)とを同一の膜から形成できる。すなわち、1枚の連続した半導体膜の一部の領域を付加容量電極17aとして利用し、他の領域をTFT20の半導体層として利用することができる。また、付加容量10の誘電体層18aとTFT20のゲート絶縁層18bとを同一の膜で形成できる。更に、付加容量対向電極19aとゲート電極19bを同一の膜から形成することができる。

【0058】以下に、TFT-LCD100を製造する方法の例を図3A~図3Gを参照ながら説明する。

【0059】図3Aに示したように、石英基板(絶縁性基板)11上に厚さ約100nmの燐ドーピングのポリシリコン層(第1導電層)12を減圧CVD法で堆積する。得られたポリシリコン層12を所定のパターンにエッチングする。

【0060】第1導電層12を形成する材料はポリシリコンに限られない。第1導電層12をTFT用の遮光膜として用いる場合には、W、Mo、Ti、Ta、Cr、Co、Pt、Ru、Pd、Cu等の金属や、Wポリサイド(WSix/ポリシリコン)をはじめとするMo、Ti、Ta、Cr、Co、Pt、Pdポリサイドを用いることができる。さらに、TiW等の合金あるいはTiN

等の導電性金属窒化物を用いてもよい。第1導電層12の材料は、後工程の熱処理条件に耐熱性や液晶表示装置の用途等を考慮して適宜選択される。特に、TFT-LCD100を投射型表示装置に用いる場合には、TFT20に強い光が照射されるので、第1導電層12の光透過率は5%以下であることが好ましい。少なくともTFT20のチャネル17cを遮光すれば光照射によるTFT20のリーク電流を低減することができる。リーク電流を十分に低減するために、TFT20全体を遮光するように第1導電層12を形成しても良い。第1導電層12の大きさや形状は、TFT-LCD100の用途に応じて適宜設定される。

【0061】次に、図3Bに示したように、減圧CVD法で厚さ約400nmの $\text{SiO}_2$ 層13を堆積する。得られた $\text{SiO}_2$ 層13をエッチングすることによって、幅 $2\mu\text{m} \times 17\mu\text{m}$ の開口部14を第1ポリシリコン層12上に形成する。 $\text{SiO}_2$ 層13の厚さや開口部14の大きさは、容量値や開口率を考慮して適宜設定される。なお、開口部14の幅(図3D中のW)および長さは、第1導電層12上の大きさで規定する。開口部14の形成方法を具体的に説明する。

【0062】所定のパターンを有するレジスト層(不図示)を $\text{SiO}_2$ 層13上に形成する。このレジスト層をマスクとして、エッチングガスとして $\text{CHF}_3/\text{CF}_4/\text{Ar}=8:1:12$ を用いてドライエッチング法によって $\text{SiO}_2$ 層13をエッチングする。 $\text{SiO}_2$ とポリシリコンとのエッチレート比(選択比)は約20:1であるので、ポリシリコンからなる第1導電層12は $\text{SiO}_2$ 層13のエッチングに対して、良好なエッチストップ層となる。厚さ400nmの $\text{SiO}_2$ 層に対して20%のオーバーエッチを行っても、ポリシリコン層12のオーバーエッチ量は、高々2nmである。エッチングレートのバラツキは10%程度なので、オーバーエッチ量のバラツキは0.4nm程度である。エッチング工程において生じる開口部14の深さのバラツキは、 $\text{SiO}_2$ 層13を堆積する工程で生じる膜厚のバラツキ(約10%、この場合約40nm)に比べ無視できる。すなわち、エッチング工程のバラツキが開口部14の深さのバラツキの要因とはならない。

【0063】 $\text{HF}:\text{NH}_4\text{F}$ 等をエッチング液として用いるウェットエッチ法によると、 $\text{SiO}_2$ とポリシリコンと選択比は無限大と考えられる。従って、エッチング工程に発生する深さのバラツキは更に小さいが、2次元方向のエッチング精度を考慮すると、上述したドライエッチ法を用いることが好ましい。また、遮光性を有する第1導電層12を形成するための材料としては、 $\text{WSi}/\text{ポリシリコン}(150\text{nm}/100\text{nm})$ 等のシリサイド/ポリシリコンの2層構造を用いることができる。この場合の第1絶縁層としては透明性の観点 $\text{SiO}_2$ 層が好ましいが、 $\text{SiN}$ を用いても良い。

【0064】図3Cに示したように、基板の全面に厚さ約50nmのポリシリコンを、例えば減圧CVD法を用いて堆積し、パターニングすることによって、ポリシリコン層(第2導電層)17を形成する。ポリシリコン層17は、開口部14内で第1導電層12に接触しており、電気的に接続されている。このポリシリコン層17は、最終的にTFTの半導体層(ソース17b、ドレイン17b'、チャネル17c)および付加容量の付加容量電極17aとなる。

【0065】図3Dに示したように、TFT部が形成される部分を覆うレジスト層16をマスクとして、ポリシリコン層17に磷(P)を注入する。イオン注入条件は、例えば15keV、 $2 \times 10^{15}/\text{cm}^2$ である。開口部14の側壁に形成されたポリシリコン層17に十分な量のイオンを注入するためには、開口部14はテーパ形状を有していることが望ましい。テーパ角 $\theta$ (第1導電層12の上面と開口部14の側面とがなす角)は、 $45^\circ \leq \theta \leq 84^\circ$ の範囲にあることが好ましい。開口部14の側面に形成されたポリシリコン層17に注入される磷の量は、底面に形成されたポリシリコン層17に注入される磷の量の $\cos \theta$ 倍になる。側面に形成されたポリシリコン層17を十分に低抵抗化するためには、側面への注入量が底面への注入量の約10分の1以上あることが好ましく、 $\theta$ は $84^\circ$ 以下であることが好ましい。なお、後の高温熱処理(約800℃以上)工程において、底面に形成されたポリシリコン層17中の不純物が拡散し、側面に形成されたポリシリコン層17が低抵抗化するので、 $\theta$ が $84^\circ$ を超えても使用できる場合がある。一方、テーパ角 $\theta$ が小さ過ぎると、開口部14上の広がり(図3D中の $\Delta$ )が大きくなり過ぎる。すなわち、ポリシリコン層(第2導電層)17の幅が広がり過ぎるので、開口率が低下する。開口率の観点から、広がり $\Delta$ は $\text{SiO}_2$ (第1絶縁層)13の厚さh以下、すなわち $\theta \geq 45^\circ$ であることが好ましい。

【0066】図3Eに示したように、第2導電層17を覆うように、例えばCVD法を用いて、厚さ約80nmの $\text{SiO}_2$ 膜(第2絶縁層)18を形成する。あるいは、予め厚く形成した第2導電層17を酸化することによって、第2絶縁層18を形成しても良い。第2導電層17をポリシリコンで形成し、熱酸化して酸化シリコンからなる第2絶縁層18を形成しても良いし、第2導電層17をTaで形成し、陽極酸化することによって $\text{Ta}_2\text{O}_5$ からなる第2絶縁層18を形成してもよい。また、第2絶縁層18に $\text{SiN}/\text{SiO}_2$ 等からなる積層膜、または $\text{Ta}_2\text{O}_5$ 等の高誘電率膜を使用してもよい。第2絶縁層18は、付加容量誘電体層18aおよびゲート絶縁層18bとして機能する。

【0067】次に、厚さ約300nmの磷をドーブしたポリシリコン層(第3導電層)19を形成し、パターニングすることによって、付加容量対向電極19aおよび



(20)

ゲート電極19bが得られる。

【0068】図3Fに示したように、ポリシリコン層（第3導電層）19をマスクとして、第2導電層（ポリシリコン層）17にイオン注入することによって、ソース17bおよびドレイン17b'を形成する。このイオン注入は、例えば、磷を100keV、 $2 \times 10^{15}/\text{cm}^2$ の条件で注入することによって実施できる。あるいは、上述の従来例のように、LDD構造を形成してもよい。

【0069】図3Gに示したように、CVD法を用いて厚さ約600nmの $\text{SiO}_2$ 層（層間絶縁層）を堆積した後、不純物活性化のために、約850℃で1時間の熱処理を施す。その後、第2導電層17のソース17bおよびドレイン17b'に至るコンタクトホール23aおよび23bをそれぞれ形成する。次に、例えば、厚さ400nmのAlSi層24を堆積し、パターニングすることによって、ソース電極24aおよびドレイン電極24bを形成する。この工程で、ソース配線（不図示）をソース電極24aと一体に形成しても良い。

【0070】プラズマCVD法を用いて、基板の全面を実質的に覆うように、SiNからなるパッシベーション膜26を形成する。得られたパッシベーション膜26にドレイン電極24bに至るコンタクトホール27を形成した後、ITOを堆積しパターニングすることによって、絵素電極15を形成する。

【0071】上記の製造方法における個別の工程（膜の堆積工程、イオン注入工程やエッチング工程等）は、公知の方法で実施できる。

【0072】上述したように、本実施形態の製造方法によると、第1絶縁層13の下部に形成した第1導電層12（当然に第1絶縁層とは異なる材料から形成されるので）を、第1絶縁層に開口部14を形成するためのエッチング工程におけるエッチストップ層として用いるので、エッチングの深さの制御性が上述した従来例に比べて極めて高い。従って、付加容量を形成する開口部14の深さは、実質的に第1絶縁層13の厚さで決まる。従来の基板をエッチングする際のバラツキに対して、絶縁層を堆積する工程における厚さのバラツキは、約10%程度と非常に低い。従って、本実施例の製造方法を用いてTFT-LCDを製造することによって、付加容量の容量値のバラツキの小さい、表示品位の優れたLCDを得ることができる。

【0073】さらに、付加容量10の付加容量電極17aとTFT20の半導体層（17b、17b'、17c）とを同一の層で形成できる。また、付加容量10の誘電体層18aとTFT20のゲート絶縁層18bとを同一の層で形成できる。更に、付加容量対向電極19aとゲート電極19bを同一の層から形成することができる。従って、製造プロセスを簡略化することができるので、液晶表示装置の製造コストを低減することができ

る。

【0074】（実施形態2）図4A、図4Bおよび図5を参照しながら本実施形態の液晶表示装置200の構造および製造方法を説明する。本実施形態の液晶表示装置200は、実施形態1のTFT-LCD100と付加容量の構造が異なる。以下の説明において、実施形態1のTFT-LCD100と実質的に同様の機能を有する構成要素を同じ参照符号で示し、ここでは説明を省略する。

【0075】図4Aは、TFT-LCD200の付加容量10aおよびTFT20を含む部分の模式的な断面図であり、図5の破線X1-X2-X4-X4'に沿った模式的な断面図に相当する。図4Bは、第1導電層と第3導電層との接続部の断面図であり、図5の4B-4B'線に沿った断面図に相当する。図5はTFT-LCD200の1絵素の対応する部分の上面図である。

【0076】TFT-LCD200は、TFT-LCD100における第1導電層12と第2導電層17との間に、さらなる絶縁層52を有している。また、TFT-LCD200においては、第1導電層12を2つの層（領域）12aおよび12bに分離している。第1導電層12aは付加容量10aの付加容量対向電極として機能し、第1導電層12bはTFT20の遮光層として機能する。これらは、実施形態1と同様にして単一の第1導電層12を形成した後、パターニングすることによって互いに分離した層（導電層12aおよび遮光層12b）として形成される。

【0077】少なくともTFTのチャネル領域を覆う遮光層12bと付加容量対向電極として機能する導電層12aとを分離することによって、付加容量対向電極の電位がTFTのチャネル領域に影響することを防止できるので、TFTの動作特性を安定にすることができる。しかしながら、第1導電層12に強力な光が入射しない場合には、実施形態1のTFT-LCD100と同様に一体に形成してもよい。

【0078】絶縁層52は、開口部14内に露出された第1導電層12aを覆い、第1導電層12aと第2導電層17とを互いに絶縁する。第1導電層12aは第3導電層と電気的に接続されており（図4B参照）、第1導電層12aには対向電圧（共通電圧）が印加される。従って、絶縁層52は付加容量10aの誘電体層として機能する。

【0079】絶縁層52は、実施形態1のTFT-LCD100の製造方法における図3Bに示した工程と図3Cに示した工程の間に、たとえば、減圧CVD法で基板のほぼ全面に約80nmの $\text{SiO}_2$ を堆積することによって形成することができる。あるいは、開口部14に露出した第1ポリシリコン層17の表面を酸化することによっても形成することができる。また、絶縁層52にSiN/SiO<sub>2</sub>等からなる積層膜、またはTa<sub>2</sub>O<sub>5</sub>等



(21)

の高誘電率膜を使用してもよい。絶縁層52は、付加容量10aの誘電体層として機能すればよいので、第1導電層12aと第2導電層17aとの間、すなわち開口部14内に露出された第1導電層12a上のみ形成しても良い。

【0080】第1導電層12aと第3導電層19aは、図5に示したように、表示領域外で互いに接続されていることが開口率の観点から好ましい。第1導電層12aと第3導電層19aとの電氣的な接続は、例えば、図4Bに示した構成で実現される。絶縁層22に、第3導電層19aを露出するコンタクトホール54および第1導電層12aを露出するコンタクトホール56を形成する。それぞれのコンタクトホール54および56において、第1および第3導電層12aおよび19aのそれぞれと接触する電極層24cを形成することによって、第1導電層12aと第3導電層19aとが電氣的に互いに接続される。コンタクトホール54および56の形成は、例えば、実施形態1について図3Gを参照しながら説明した、コンタクトホール23aおよび23bを形成する工程において実施することができる。また、電極層24cは、同じく図3Gを参照しながら説明したソース電極24aおよびドレイン電極24bを形成する工程において実施することができる。なお、電極層24cはソース電極24aおよびドレイン電極24bから分離されており、電極層24cには対向電圧が印加される。

【0081】TFT-LCD200の付加容量10aは、第1導電層（第1付加容量対向電極）12a／絶縁層（第1付加容量誘電体層）52／第2導電層（付加容量電極）17a／第2絶縁層（第2付加容量誘電体層）18a／第3導電層（第2付加容量対向電極）19aを含む積層構造から形成されている。すなわち、付加容量10aは、第1導電層（第1付加容量対向電極）12a／絶縁層（第1付加容量誘電体層）52／第2導電層（付加容量電極）17aから形成される容量と、第2導電層（付加容量電極）17a／第2絶縁層（第2付加容量誘電体層）18a／第3導電層（第2付加容量対向電極）19aから形成される容量とが並列に接続された容量である。従って、実施形態1のTFT-LCD100が有する付加容量10の構造に比較して、より狭い占有面積に、同じ容量値の付加容量を形成することができる。

【0082】絵素の大きさを $18\mu\text{m} \times 18\mu\text{m}$ 、第1および第2付加容量誘電体層（酸化シリコン）の厚さをそれぞれ80nmとして、30fFの付加容量値 $C_s$ を得るために必要な付加容量10の基板表面に射影した面積（図5および図2B中のハッチング部の面積）を比較する。図2Bに示した開口部構造（トレンチ構造）を有さない付加容量は、約 $70\mu\text{m}^2$ の射影面積が必要なのにに対し、実施形態2の図5に示した幅 $1\mu\text{m} \times$ 長さ $17\mu\text{m}$ の開口部14を有し、且つ2つの容量を並列に接続した構造では、約 $36\mu\text{m}^2$ の射影面積で30fFの付

加容量値を得ることができる。開口率（図5および図2B中の開口部15a（ハッチング部）の絵素全体の面積に対する割合）で比較すると、図2Bの構造の開口率が約42%であるのに対し、図5の構造の開口率は約51%である。この様に、実施形態2によると、実施形態1の効果に加えて更なる高開口率化が達成される。

【0083】上記の実施形態1および2で説明したように、本発明によると液晶表示装置の開口率を向上するとともに、付加容量の容量値のバラツキを低減することができる。特に、ポリシリコンを半導体層に用いた小型・高密度・高精細のTFT液晶表示装置において本発明の効果は顕著である。特に、第1導電層を遮光層として用いる構成は、強力な光が照射される投写型液晶表示装置に好適に用いられる。

【0084】

【発明の効果】本発明によると、小さな占有面積でも大きな容量値を確保でき、しかも、容量値のバラツキが著しく低減された付加容量を実現できる。これによって、高開口率（明るい）、高画質の液晶表示装置を提供できる。

【0085】また、本発明の液晶表示装置は簡単かつ簡素な構成を有しているため、製造工程を簡略化できるので、高画質の液晶表示装置を低コストで歩留まりよく製造することができる。本発明による液晶表示装置は、TFTの半導体層にポリシリコンを用いた比較的小型で高精細の液晶表示装置に好適に適用される。

【図面の簡単な説明】

【図1】本発明の実施形態1によるTFT-LCD100の模式的な断面図である。

【図2A】TFT-LCD100の1つの絵素部分の模式的な上面図である。

【図2B】比較例のTFT-LCDの1つの絵素部分の模式的な上面図である。

【図3A】TFT-LCD100の製造工程を示す断面図である。

【図3B】TFT-LCD100の他の製造工程を示す断面図である。

【図3C】TFT-LCD100の他の製造工程を示す断面図である。

【図3D】TFT-LCD100の他の製造工程を示す断面図である。

【図3E】TFT-LCD100の他の製造工程を示す断面図である。

【図3F】TFT-LCD100の他の製造工程を示す断面図である。

【図3G】TFT-LCD100の他の製造工程を示す断面図である。

【図4A】本発明の実施形態2によるTFT-LCD200の付加容量およびTFTを含む部分の模式的な断面図である。

(22)

【図4B】実施形態2によるTFT-LCD200の第1導電層12aと第3導電層19aとの接続部の模式的な断面図である。

【図5】本発明の実施形態2によるTFT-LCD200の1つの絵素部分および図4Bに示した接続部の模式的な上面図である。

【図6】TFT型液晶表示装置の1つの絵素の等価回路を示す図である。

【図7】従来のTFT液晶表示装置のTFTおよび付加容量を形成する工程を示す断面図である。

【符号の説明】

10 付加容量

11、31 絶縁性基板

12 第1導電層

13 第1絶縁層

14 開口部（溝またはトレンチ）

15 絵素電極

17a 第2導電層

17b ソース

17b' ドレイン

17c チャンネル

18a 第2絶縁層

18b ゲート絶縁層

19a 第3導電層

19b ゲート電極

20 TFT

22 絶縁層

23a、23b、27 コンタクトホール

24a ソース電極

24b ドレイン電極

26 パッシベーション層

35 対向電極（共通電極）

50 対向基板

60 液晶層

100、200 TFT-LCD

100a TFT基板

100b 対向基板

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-013518

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

G02F 1/1365

(21)Application number : 11-188779

(71)Applicant : SHARP CORP

(22)Date of filing : 02.07.1999

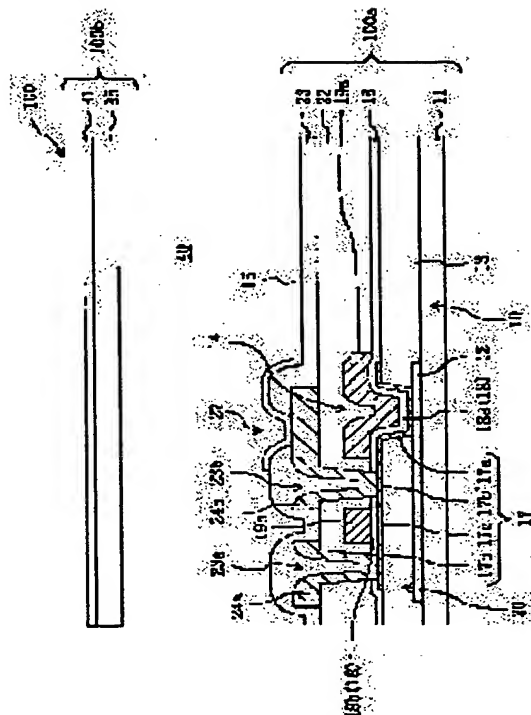
(72)Inventor : UEDA TORU

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make variance of a capacitance value of additional capacitance small and to be excellent in display quality with respect to the liquid crystal display device.

**SOLUTION:** The additional capacitance 10 of the device is formed by a first conductive layer 12 formed on an insulation substrate 11, a first insulation layer 13 formed on the first conductive layer 12 and provided with an opening part 14 which exposes a part of the first conductive layer 12, a second conductive layer 17a formed on the first conductive layer 12 placed at least in the opening part 14, a second insulation layer 18 covering the second conductive layer 17a and a third conductive layer 19a covering the second insulation layer 18 placed at least in the opening part 14.



## LEGAL STATUS

[Date of request for examination]

25.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3464944

[Date of registration]

22.08.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] An insulating substrate and the thin film transistor formed on said insulating substrate, The 1st conductive layer which is the liquid crystal display which has the picture element electrode electrically connected to said thin film transistor, and addition capacity, and was formed on said insulating substrate, The 1st insulating layer which has opening which is formed on said 1st conductive layer and exposes said a part of 1st conductive layer, The 2nd conductive layer formed on said 1st conductive layer located in said opening at least, The liquid crystal display with which said addition capacity is formed from the laminated structure which has a wrap and the 3rd conductive layer for said 2nd insulating layer located in said opening at least with the 2nd insulating layer of a wrap in said 2nd conductive layer, and contains said 2nd conductive layer, said 2nd insulating layer, and said 3rd conductive layer.

[Claim 2] Said 2nd conductive layer is a liquid crystal display according to claim 1 currently formed so that said 1st conductive layer may be contacted in said opening.

[Claim 3] The liquid crystal display according to claim 1 with which it has further the 3rd insulating layer formed between said 1st conductive layer and said 2nd conductive layer, and said 1st conductive layer and said 2nd conductive layer are insulated electrically mutually.

[Claim 4] Said 1st conductive layer and said 3rd conductive layer are a liquid crystal display according to claim 3 with which said addition capacity is formed from the laminated structure which contains mutually connection now the laminated structure which gets down and contains said 1st conductive layer, said 3rd insulating layer, and said 2nd conductive layer and said 2nd conductive layer, said 2nd insulating layer, and said 3rd conductive layer electrically.

[Claim 5] Said 1st conductive layer and said 3rd conductive layer are a liquid crystal display according to claim 4 each other connected in the contact hole formed in said 1st insulating layer located out of a viewing area.

[Claim 6] It is a liquid crystal display given in either of claims 1-5 with which it has the protection-from-light layer currently formed so that it may lap with the channel of said thin film transistor at least, and said protection-from-light layer is formed from the same film as said 1st conductive layer, and said protection-from-light layer and said 1st conductive layer are insulated electrically mutually.

[Claim 7] The gate insulating layer of said thin film transistor is a liquid crystal display given in either of claims 1-6 currently formed from the same film as said 2nd insulating layer.

[Claim 8] The channel, the source, and the drain of said thin film transistor are a liquid crystal display given in either of claims 1-7 currently formed in the same film as said 2nd conductive layer.

[Claim 9] The gate electrode of said thin film transistor is a liquid crystal display given in either of claims 1-8 currently formed from the same film as said 3rd conductive layer.

[Claim 10] An insulating substrate and the thin film transistor formed on said insulating substrate, The process which is the manufacture approach of a liquid crystal display of having the picture element electrode electrically connected to said thin film transistor, and addition capacity, and forms the 1st conductive layer on said insulating substrate, The process which forms the 1st insulating layer on said 1st conductive layer, and by etching said 1st insulating layer, using said 1st conductive layer as a dirty stop layer The process which forms in said 1st insulating layer opening which exposes said a part of 1st

conductive layer, The process which forms the 2nd conductive layer on said 1st conductive layer in said opening at least, The process which forms a wrap and the 3rd conductive layer for said 2nd insulating layer located in said opening at least in said 2nd conductive layer with the process which forms the 2nd insulating layer of a wrap is included. Said 2nd conductive layer, The manufacture approach of the liquid crystal display which forms said addition capacity from the laminated structure containing said 2nd insulating layer and said 3rd conductive layer.

[Claim 11] The process which forms the 3rd insulating layer which insulates mutually said 1st conductive layer and said 2nd conductive layer electrically between said 1st conductive layer and said 2nd conductive layer, The process which connects mutually said 1st conductive layer and said 3rd conductive layer electrically is included further. Said 1st conductive layer, The liquid crystal display according to claim 10 which forms said addition capacity from the laminated structure containing the laminated structure containing said 3rd insulating layer and said 2nd conductive layer and said 2nd conductive layer, said 2nd insulating layer, and said 3rd conductive layer.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the active matrix liquid crystal display which has a thin film transistor, and its manufacture approach about a liquid crystal display and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, the active matrix liquid crystal indicating equipment is widely used as the indicating equipment of a personal computer, thin television, video image pick-up equipment, an indicating equipment of a digital camera, etc. The equal circuit of one picture element of what has a thin film transistor as an active element among active matrix liquid crystal indicating equipments (henceforth a "TFT mold liquid crystal display") is shown in drawing 6 . The field where the picture element (picture element field) has been arranged in the shape of a matrix constitutes the viewing area.

[0003] The TFT mold liquid crystal display has the liquid crystal capacity CLC and the addition capacity CS which were connected to the thin film transistor (henceforth "TFT"), and the drain D of TFT for every picture element. The liquid crystal capacity CLC and the addition capacity CS are doubled, and it is called the picture element capacity Cpix. Gate wiring (scan wiring) is connected to the gate G of TFT, and source wiring (signal wiring) is connected to Source S. The signal level currently impressed to the source S of TFT from source wiring at the period (one scan period) when the scan signal is impressed to Gate G is impressed to the drain lateral electrode of the liquid crystal capacity CLC, and the drain lateral electrode (it is called a "picture element electrode" and an "addition capacity electrode",

respectively.) of the addition capacity CS. On the other hand, a predetermined opposite electrical potential difference (common electrical potential difference) is impressed to the electrode of another side of the liquid crystal capacity CLC, and the electrode (it is called a "counterelectrode" and an "addition capacity counterelectrode", respectively.) of another side of the addition capacity CS through a counterelectrode or the addition capacity counterelectrode line (common wiring) COM. The addition capacity counterelectrode line COM formed in a TFT substrate is electrically connected to the counterelectrode currently formed in the opposite substrate. The electrical potential difference of the net impressed to the liquid crystal capacity CLC is the difference of a signal level and an opposite electrical potential difference. When the orientation condition of liquid crystal changes according to the magnitude of this electrical potential difference, the display condition corresponding to a signal level is acquired.

[0004] The liquid crystal capacity CLC and the addition capacity CS are electrically insulated with source wiring by TFT at the period (namely, period when TFT connected to other gate wiring is chosen) when the scan signal is not impressed to Gate G. The liquid crystal capacity CLC and the addition capacity CS maintain a predetermined display condition by holding the electrical potential difference impressed previously until TFT currently observed is chosen as a degree. In the meantime, if TFT and the electrical-potential-difference maintenance property of the picture element capacity Cpix are low, deterioration of display grace will be caused.

[0005] In order to acquire a desired electrical-potential-difference maintenance property, the addition capacity CS which has comparatively big capacity value may be needed. Since these electrodes will generally be formed using an opaque ingredient if area of an addition capacity electrode and an addition capacity counterelectrode is enlarged in order to enlarge capacity of the addition capacity CS, decline in the numerical aperture of a transparency mold liquid crystal display is caused.

[0006] JP,5-61071,A is indicating the TFT mold liquid crystal display which has a big addition capacity of capacity in the picture element section. The sectional view showing the process which forms TFT and addition capacity of a liquid crystal display which are indicated by the above-mentioned official report is shown in drawing 7.

[0007] According to the above-mentioned official report, in order to control decline in a numerical aperture, a slot (trench) 122 is formed in the insulating substrate in which TFT is formed on the surface of 121, and addition capacity (capacity component) is formed in this slot 122. furthermore, the 1st electrode 123 formed in one formed at the same process as the semi-conductor layer of TFT and the 2nd electrode 126 formed with the same ingredient as the gate electrode of TFT -- structure and a production process are simplified by forming addition capacity from the insulator layers 124a and 125a formed with the same ingredient as the gate insulating layer of a and TFT.

[0008] The TFT substrate containing a part for TFT shown in drawing 7 (a) - drawing 7 (c) and an addition part by volume is produced at the following processes.

[0009] (1) Form a slot 122 in the front face of the quartz substrate 121 by the wet etching which makes HF:NH<sub>4</sub>F-1:6 etchant.

[0010] (2) Form the 1st polish recon layer 123 of 80nm of thickness with a reduced pressure CVD method. A total of two silicon impregnation is performed in the obtained 1st polish recon layer 123 on condition that 30keV, 1x10<sup>15</sup>-/cm<sup>2</sup> and 50keV(s), and 1x10<sup>15</sup>-/cm<sup>2</sup>. Then, after performing solid phase annealing at 620 degrees C, a part of 1st polish recon layer 123 is removed by etching.

[0011] (3) Form SiO<sub>2</sub> film 124 with a thickness of 50nm in a front face for the 1st polish recon layer 123 by thermal oxidation at 1000 degrees C. The 1st polish recon layer 123 which remained without oxidizing turns into the 1st electrode of addition capacity, and a semi-conductor layer (the source, a channel, drain) of TFT eventually.

[0012] (4) Where the field which forms TFT of SiO<sub>2</sub> film 124 is protected in a resist layer, inject arsenic ion (As<sup>+</sup>) into the 1st polish recon layer 123 used as the 1st electrode of addition capacity on condition that 30keV and 5x10<sup>15</sup>-/cm<sup>2</sup>.



[0013] (5) Form the SiN film 125 with a wrap thickness of 30nm for SiO<sub>2</sub> film 124 with a reduced pressure CVD method after removing a resist layer.

[0014] (6) On the whole surface, with a reduced pressure CVD method, form the 2nd polish recon layer 126 with a thickness of 350nm, and attain low resistance-ization by PSG.

[0015] (7) Gate electrode 126b of TFT, 2nd electrode 126a of addition capacity, SiN gate insulating-layer 125b, and SiN125a for addition capacity are formed using the gas of CF<sub>4</sub>/O<sub>2</sub>=95/5 by carrying out patterning of the 2nd polish recon layer 126 and the SiN film 125. Next, the ion implantation of the arsenic is carried out to the 1st polish recon layer 123 of TFT on condition that 160keV(s) and 1x10<sup>13</sup>-/cm<sup>2</sup> through SiO<sub>2</sub> film 124, and LDD (lightly doped drain) is formed.

[0016] (8) Form a 2nd polish recon gate 126b wrap resist, carry out the ion implantation of the arsenic ion on condition that 140keV(s) and 2x10<sup>15</sup>-/cm<sup>2</sup>, and form an n channel. Next, after removing a resist layer, a resist layer is newly formed in the whole surface, an ion implantation is performed for boron ion (B<sup>+</sup>) on condition that 30KeV(s) and 2x10<sup>15</sup>-/cm<sup>2</sup>, and a p channel is formed.

[0017] (9) Form the interlayer insulation film 131 which consists of phosphorus silica glass (PSG) with a reduced pressure CVD method after removing a resist.

[0018] (10) Form the 1st contact hole 132 in an interlayer insulation film 131 and SiO<sub>2</sub> film 124 by the wet etching using HF:NH<sub>4</sub>F.

[0019] (11) Next, form the ITO (indium stannic acid ghost) layer 129 of 140nm of thickness using a spatter at 400 degrees C. Patterning of the ITO film 129 is carried out by carrying out sentiment dirty [ of the obtained ITO film 129 ] using the etchant which consists of HCl:H<sub>2</sub>O:HNO<sub>3</sub>= 300:300:50. Then, the 2nd contact hole 134 is formed in the ITO film 129 by the wet etching using HF/NH<sub>4</sub>H by using a resist layer as a mask.

[0020] (12) the sentiment deposit an AlSi layer with a thickness of 600nm on the whole surface using a spatter, and using H<sub>3</sub>PO<sub>4</sub>:H<sub>2</sub>O=2:10 -- therefore carry out patterning of the AlSi layer dirtily, and form an electrode 130. Then, the passivation film 133 which consists of SiN with a thickness of 400nm is formed by ordinary pressure CVD. Patterning of the passivation film 133 is carried out by plasma etching which used 2= CF<sub>4</sub>:O<sub>2</sub>=95:5 gas.

[0021]

[Problem(s) to be Solved by the Invention] The capacity value of the addition capacity of the liquid crystal display currently indicated by the above-mentioned official report is decided by the class (dielectric constant) of ingredient which forms the diameter of opening of a slot, a tooth depth, and a dielectric layer, and dielectric layer thickness. The factor most important in order to form the addition capacity of the above-mentioned conventional technique so that it may have the capacity value as a design is control of a tooth depth. Since this slot is formed by etching the front face of the substrate which consists of a single ingredient, control of a tooth depth is made by controlling etching time. However, if variation is in a dirty rate even if it controls etching time to accuracy, variation will arise in a tooth depth. The variation in the capacity value of addition capacity reduces the display grace of a liquid crystal display.

[0022] Since the amount of charges which can accumulate addition capacity will decrease if capacity value is small, it is strongly influenced [ which flows TFT ] of leakage current, and it becomes impossible to hold a predetermined electrical potential difference. On the contrary, if the capacity value of addition capacity is large, it will become impossible to fully charge and a predetermined electrical potential difference will no longer be impressed to the ends of addition capacity and liquid crystal capacity.

[0023] It is made in order that this invention may solve the above-mentioned technical problem, and the main object has the small variation in the capacity value of addition capacity, and it is to offer the liquid crystal display which was excellent in display grace, and its manufacture approach.

[0024]

[Means for Solving the Problem] The thin film transistor by which the liquid crystal display of this invention was formed on the insulating substrate and said insulating substrate, The 1st conductive layer

which is the liquid crystal display which has the picture element electrode electrically connected to said thin film transistor, and addition capacity, and was formed on said insulating substrate, The 1st insulating layer which has opening which is formed on said 1st conductive layer and exposes said a part of 1st conductive layer, The 2nd conductive layer formed on said 1st conductive layer located in said opening at least, It has a wrap and the 3rd conductive layer for said 2nd insulating layer located in said opening at least with the 2nd insulating layer of a wrap in said 2nd conductive layer. Said 2nd conductive layer, Said addition capacity is formed from the laminated structure containing said 2nd insulating layer and said 3rd conductive layer, and the above-mentioned object is attained by that.

[0025] Said 2nd conductive layer may be formed so that said 1st conductive layer may be contacted in said opening.

[0026] It has further the 3rd insulating layer formed between said 1st conductive layer and said 2nd conductive layer, and said 1st conductive layer and said 2nd conductive layer may be insulated electrically mutually.

[0027] Said 1st conductive layer and said 3rd conductive layer are good also as a configuration in which said addition capacity is formed from the laminated structure which contains mutually connection now the laminated structure which gets down and contains said 1st conductive layer, said 3rd insulating layer, and said 2nd conductive layer and said 2nd conductive layer, said 2nd insulating layer, and said 3rd conductive layer electrically.

[0028] As for said 1st conductive layer and said 3rd conductive layer, it is desirable to connect mutually in the contact hole formed in said 1st insulating layer located out of a viewing area.

[0029] it has the protection-from-light layer currently formed so that it may lap with the channel of said thin film transistor at least, and said protection-from-light layer is formed from the same film as said 1st conductive layer, and said protection-from-light layer and said 1st conductive layer are insulated electrically mutually -- you may constitute.

[0030] As for the gate insulating layer of said thin film transistor, it is desirable to be formed from the same film as said 2nd insulating layer.

[0031] As for the channel, the source, and the drain of said thin film transistor, it is desirable to be formed in the same film as said 2nd conductive layer.

[0032] As for the gate electrode of said thin film transistor, it is desirable to be formed from the same film as said 3rd conductive layer.

[0033] The thin film transistor by which the manufacture approach of the liquid crystal display of this invention was formed on the insulating substrate and said insulating substrate, The process which is the manufacture approach of a liquid crystal display of having the picture element electrode electrically connected to said thin film transistor, and addition capacity, and forms the 1st conductive layer on said insulating substrate, The process which forms the 1st insulating layer on said 1st conductive layer, and by etching said 1st insulating layer, using said 1st conductive layer as a dirty stop layer The process which forms in said 1st insulating layer opening which exposes said a part of 1st conductive layer, The process which forms the 2nd conductive layer on said 1st conductive layer in said opening at least, The process which forms a wrap and the 3rd conductive layer for said 2nd insulating layer located in said opening at least in said 2nd conductive layer with the process which forms the 2nd insulating layer of a wrap is included. Said 2nd conductive layer, Said addition capacity is formed from the laminated structure containing said 2nd insulating layer and said 3rd conductive layer, and the above-mentioned object is attained by that.

[0034] The process which forms the 3rd insulating layer which insulates mutually said 1st conductive layer and said 2nd conductive layer electrically between said 1st conductive layer and said 2nd conductive layer, The process which connects mutually said 1st conductive layer and said 3rd conductive layer electrically is included further. Said 1st conductive layer, Said addition capacity may be formed from the laminated structure containing the laminated structure containing said 3rd insulating layer and said 2nd conductive layer and said 2nd conductive layer, said 2nd insulating layer, and said 3rd

conductive layer.

[0035] Below, an operation of this invention is explained.

[0036] The addition capacity of the liquid crystal display of this invention is formed from the laminated structure containing the 2nd conductive layer (addition capacity electrode) / the 2nd insulating layer (addition capacity dielectric layer) / the 3rd conductive layer (addition capacity counterelectrode) formed in opening (a slot or trench) at least. Since addition capacity is formed in opening, big capacity value is securable in a narrow occupancy area. Furthermore, this opening is formed on the 1st insulating layer formed on the 1st conductive layer. Since the 1st conductive layer and the 1st insulating layer are formed from a different ingredient, in the process which forms opening, the 1st conductive layer of a substrate can be operated as the 1st insulating layer as a dirty stop layer by etching. Therefore, since the depth of opening in which addition capacity is formed is controlled by accuracy, it can realize addition capacity by which the variation in capacity value was reduced remarkably.

[0037] The 2nd conductive layer may be formed so that the 1st conductive layer in opening may be contacted, it may prepare the further insulating layer on the 1st conductive layer in opening, and may insulate the 1st conductive layer and the 2nd conductive layer mutually. In the configuration which insulated mutually the 1st conductive layer and the 2nd conductive layer in opening by the further insulating layer It adds to the capacity formed by connecting the 1st conductive layer and the 3rd conductive layer electrically from the 2nd conductive layer (addition capacity electrode) / the 2nd insulating layer (addition capacity dielectric layer) / the 3rd conductive layer (addition capacity counterelectrode). the capacity formed from the 1st conductive layer (addition capacity counterelectrode) / the 2nd further further insulating layer (addition capacity dielectric layer)/conductive layer (addition capacity electrode) is connected to juxtaposition. Therefore, the capacity value per unit occupancy area can be made to increase. That is, it becomes possible to raise the numerical aperture of a liquid crystal display further. Decline in a numerical aperture can be prevented by making electric connection between the 1st conductive layer and the 3rd conductive layer in the location which does not lap with a picture element electrode.

[0038] By forming the 1st conductive layer using the ingredient which has protection-from-light nature, it can use as a protection-from-light layer which prevents the light which carries out incidence of the 1st conductive layer to the channel of TFT. Optical leak of TFT can be controlled by forming a wrap protection-from-light layer for the LDD field of the channel of TFT, or a LDD transistor at least especially. It is good also as a configuration which shades the reflected light from the optical system from a rear face etc. according to the application of a liquid crystal display, and good also as a configuration which shades the direct incident light from the upper part.

[0039] In the configuration which uses the 1st conductive layer as an addition capacity counterelectrode, it is desirable to dissociate electrically and to form the part which functions as an addition capacity counterelectrode, and the part which functions as protection-from-light layers. Since it can prevent that the potential of an addition capacity counterelectrode influences the channel field of TFT by separating the channel field wrap part and addition capacity counterelectrode of TFT at least, the operating characteristic of TFT can be made stability.

[0040] Moreover, the manufacture approach of a liquid crystal display can be simplified by making it the configuration which forms the layer and the semi-conductor layer (layer in which a channel, the source, and a drain are formed) of TFT which function as an addition capacity electrode using the same film. For example, an addition capacity electrode, the channel of TFT, the source, and a drain can be formed by forming the field where high impurity concentration differs on the polish recon film.

[0041] Furthermore, the manufacture approach of a liquid crystal display can be simplified by forming the layer and the gate insulating layer of TFT which function as an addition capacity dielectric layer from the same film. Moreover, the manufacture approach of a liquid crystal display can also be simplified by forming the layer and gate electrode which function as addition capacity counterelectrodes from the same film.

[0042]

[Embodiment of the Invention] (Operation gestalt 1) The TFT-liquid-crystal display (henceforth TFT-LCD) 100 of this operation gestalt is typically shown in drawing 1 and drawing 2 A. Drawing 1 is the typical sectional view of the part corresponding to 1 picture element of TFT-LCD100, and drawing 2 A is the plan. Drawing 1 is equivalent to the sectional view which met broken-line X1-X2-X3-X4 in drawing 2 A, and X4' line. The equal circuit of TFT-LCD by this invention is the same as the equal circuit shown in drawing 6, and the name of the component used in the above-mentioned explanation is used also in explanation of this invention.

[0043] TFT-LCD100 has the liquid crystal layer 40 pinched between TFT substrate 100a, opposite substrate 100b, and TFT substrate 100a and opposite substrate 100b. In the case of the common liquid crystal display in TN mode, the orientation film (un-illustrating) is prepared in the front face by the side of the liquid crystal layer 40 of TFT substrate 100a and opposite substrate 100b, and a polarizing plate (un-illustrating) is prepared in each outside of TFT substrate 100a and opposite substrate 100b. Depending on a display mode, the orientation film and a polarizing plate are omissible.

[0044] TFT substrate 100a has the insulating substrate 11, and the picture element electrode 15 electrically connected to TFT20 and TFT20 which were formed on the insulating substrate 11 and the addition capacity 10.

[0045] The 1st conductive layer 12 by which the addition capacity 10 was formed on the insulating substrate 11, The 1st insulating layer 13 which has the opening (called a slot or a trench) 14 which exposes a part of 1st conductive layer 12, The 2nd insulating layer 18 located in opening 14 at least with the 2nd insulating layer 18 of a wrap in 2nd conductive layer 17a which contacts the 1st conductive layer 12 in opening 14, and 2nd conductive layer 17a is formed in 3rd conductive layer of wrap 19a from the laminated structure which it has in this order. That is, the addition capacity 10 has the addition capacity electrode which consists of 2nd conductive layer 17a, the addition capacity counterelectrode (addition capacity counterelectrode line) which consists of 3rd conductive layer 19a, and the addition capacity dielectric layer which consists of the 2nd insulating layer 18 located in inter-electrode [ these ]. The addition capacity 10 is formed in the field to which the 2nd conductive layer 17 shown by hatching and 3rd conductive layer 19a lap into drawing 2 A.

[0046] TFT20 has gate electrode 19b formed on the semi-conductor layer 17 which has source 17b and drain 17b' and channel 17c, the 2nd insulating layer (gate insulating layer) 18 formed on the semi-conductor layer, and the 2nd insulating layer 18 located right above channel 17c. Gate electrode 19b is formed as some gate wiring.

[0047] TFT20 and the addition capacity 10 are covered with the insulating layer 22. Contact holes 23a and 23b are formed in the insulating layer 22, and a part of source 17b and drain 17b' [ at least ] is exposed, respectively. Source 17b and drain 17b' is connected to source electrode 24a and drain electrode 24b within contact hole 23a and 23b, respectively. The contact hole 27 which exposes a part of drain electrode 24b is formed in the wrap passivation layer 26 in these [ all ]. The picture element electrode 15 currently formed on passivation 26 is electrically connected with drain electrode 24b in the contact hole 27.

[0048] Opposite substrate 100b has the insulating substrate 31 and the counterelectrode (common electrode) 35 formed on the insulating substrate 31. An orientation layer and a light filter layer (all are un-illustrating) may be prepared if needed.

[0049] The liquid crystal capacity CLC in the equal circuit of drawing 6 is formed of the picture element electrode 15, a counterelectrode 35, and the liquid crystal layer 40 pinched by inter-electrode [ these ]. A signal level is impressed to the picture element electrode 15 and addition capacity electrode (2nd conductive layer) 17a through drain 17b' of TFT20, and a common electrical potential difference is impressed to a counterelectrode 35 and addition capacity counterelectrode 19a through common wiring (19a in drawing 2 A). In addition, common wiring may be grounded.

[0050] The addition capacity 10 of TFT-LCD100 is formed near TFT20 for every picture element. Since

the addition capacity 10 is formed from the laminated structure containing 2nd conductive layer (addition capacity electrode) 17a/2nd insulating-layer (addition capacity dielectric layer) 18a/3rd conductive layer (addition capacity counterelectrode) 19a by which the laminating was carried out to the opening 14 formed in the insulating layer 13, and is and big capacity value is securable in a narrow occupancy area (area projected on the substrate side), a high numerical aperture is securable.

[0051] The improvement effectiveness of a numerical aperture is quantitatively explained as compared with TFT-LCD which has the addition capacity in which opening shown in drawing 2 B is not formed. Since TFT-LCD of drawing 2 B is the same as TFT-LCD100 substantially shown in drawing 2 A except not having opening in the 1st insulating layer 13, the component is shown using drawing 2 A and a common reference mark, and omits detailed explanation.

[0052] In TFT-LCD as  $i_{off}$ (off current of transistor) = 0.04pA,  $t_{off}$ (off period of transistor) = 16.7msec (60Hz actuation), and initial-voltage  $V_{app}$  = 9V for example, in order to obtain 99.5% or more of electrical-potential-difference retention ( $\Delta V$  0.5% or less of voltage drops of an one-frame period) From the relation of  $\Delta V - \{(1/2) \times i_{off} \times t_{off}\} / C_s \leq V_{app} \times (0.5/100)$ , it can be estimated that the addition capacity value  $C_s$  of about 30 or more fFs is required. Of course, this condition changes with the actuation approach of TFT-LCD, liquid crystal capacity, the source drain capacity of TFT, etc.

[0053] The area (area of the hatching section in drawing 2 A and drawing 2 B) projected on the substrate front face of the addition capacity 10 required in order to acquire the addition capacity value  $C_s$  of 30fF is measured using thickness of 18micrometerx18micrometer and an addition capacity dielectric layer (silicon oxide) as 80nm for the magnitude of a picture element. The addition capacity which does not have the opening structure (trench structure) shown in drawing 2 B can acquire about 53 micrometers of addition capacity value of 30fF(s) in the projection area of 2 to the thing about 70 micrometers of whose projection area of 2 are the need by the structure of having the opening 14 with a width-of-face [ of 2 micrometers ] x die length of 17 micrometers shown in drawing 2 A of the operation gestalt 1. If a numerical aperture (rate to the area of the whole picture element of opening 15a in drawing 2 A and drawing 2 B (hatching section)) compares, to the numerical aperture of the structure of drawing 2 B being about 42%, the numerical aperture of the structure of drawing 2 A is about 46%, and high numerical aperture-ization is attained.

[0054] Furthermore, opening 14 is a hole which penetrates an insulating layer 13, and the conductive layer 12 is formed in the bottom of an insulating layer 13 (bottom of opening 14). Therefore, in the process which forms opening 14, a conductive layer 12 can be used for an insulating layer 13 as a dirty stop layer by etching. Consequently, the problem that capacity value varies in the conventional trench mold addition capacity mentioned above since control of a tooth depth is difficult does not arise.

[0055] Moreover, it can prevent that light carries out incidence to TFT20 (especially channel 17c) using the ingredient which has protection-from-light nature in a conductive layer 12 by [ which were shown in drawing 1 ] forming so that it may spread to the lower part of TFT20 like. That is, a conductive layer 12 functions as a protection-from-light layer in a final product while functioning as a dirty stop layer in a production process.

[0056] In the structure shown in drawing 1 , although the 2nd conductive layer 18 contacts and is in the 1st conductive layer 12 within opening 14, an insulating layer may be prepared between the 1st conductive layer 12 and the 2nd conductive layer 18, and the 1st conductive layer 12 may be electrically insulated from the 2nd conductive layer 18. For example, when using the 1st conductive layer 12 as mentioned above as film which shades TFT20, it is desirable to insulate the 1st conductive layer 12 so that the potential of the 1st conductive layer 12 may not influence actuation of TFT20. Instead of preparing an insulating layer between the 1st conductive layer 12 and the 2nd conductive layer 18, the 1st conductive layer 12 may be separated so that it may explain in the operation gestalt 2. In addition, there is an advantage by which the direction which adopts the structure where the 2nd conductive layer 18 contacts the 1st conductive layer 12 within opening 14 can control the depth of opening 14 to accuracy. That is, although it is small if an insulating layer is formed in opening 14, the variation in

insulating layer thickness turns into variation in the depth of opening 14.

[0057] Furthermore, if the structure shown in drawing 1 is adopted, the semi-conductor layer (17b, 17b', 17c) of addition capacity electrode 17a and TFT20 of the addition capacity 10 can be formed from the same film. That is, some fields of the continuous semi-conductor film of one sheet can be used as addition capacity electrode 17a, and other fields can be used as a semi-conductor layer of TFT20. Moreover, gate insulating-layer 18b of dielectric layer 18a and TFT20 of the addition capacity 10 can be formed by the same film. Furthermore, addition capacity counterelectrode 19a and gate electrode 19b can be formed from the same film.

[0058] Below, drawing 3 A -- drawing 3 G is explained for the example of the approach of manufacturing TFT-LCD100, with reference.

[0059] As shown in drawing 3 A, the polish recon layer (the 1st conductive layer) 12 of a phosphorus dope with a thickness of about 100nm is deposited with a reduced pressure CVD method on the quartz substrate (insulating substrate) 11. The obtained polish recon layer 12 is etched into a predetermined pattern.

[0060] The ingredient which forms the 1st conductive layer 12 is not restricted to polish recon. When using the 1st conductive layer 12 as a light-shielding film for TFT, Mo, Ti, Ta, Cr, Co and Pt(s) including a metal and W polycides (WSix / polish recon), such as W, Mo, Ti, Ta, Cr, Co, Pt, Ru, Pd, and Cu, and Pd polycide can be used. Furthermore, conductive metal nitrides, such as alloys, such as TiW, or TiN, may be used. The ingredient of the 1st conductive layer 12 is suitably chosen as the heat treatment conditions of an after process in consideration of thermal resistance, the application of a liquid crystal display, etc. Since a light strong against TFT20 is irradiated when using TFT-LCD100 for a projection mold display especially, as for the light transmittance of the 1st conductive layer 12, it is desirable that it is 5% or less. If channel 17c of TFT20 is shaded at least, the leakage current of TFT20 by optical exposure can be reduced. In order to fully reduce leakage current, the 1st conductive layer 12 may be formed so that the TFT20 whole may be shaded. The magnitude and the configuration of the 1st conductive layer 12 are suitably set up according to the application of TFT-LCD100.

[0061] next, it was shown in drawing 3 B -- as -- a reduced pressure CVD method -- SiO two-layer with a thickness of about 400nm -- 13 is deposited. the obtained SiO two-layer -- by etching 13, the width-of-face 2micrometerx17micrometer opening 14 is formed on the 1st polish recon layer 12. The thickness of SiO two-layer 13 and the magnitude of opening 14 are suitably set up in consideration of capacity value or a numerical aperture. In addition, the magnitude on the 1st conductive layer 12 prescribes the width of face (W in drawing 3 D) and die length of opening 14. The formation approach of opening 14 is explained concretely.

[0062] The resist layer (un-illustrating) which has a predetermined pattern is formed on SiO two-layer 13. this resist layer -- a mask -- carrying out -- as etching gas -- CHF3/CF4/Ar=8:1:12 -- using -- the dry etching method -- SiO two-layer -- 13 is etched. the 1st conductive layer 12 which consists of polish recon since the dirty rate ratio (selection ratio) of SiO2 and polish recon is about 20:1 -- SiO two-layer -- it becomes a good dirty stop layer to etching of 13. Even if it performs 20% of over-etching to SiO two-layer with a thickness of 400nm, the excess dirty amount of the polish recon layer 12 is at most 2nm. Since the variation in an etching rate is about 10%, the variation in an excess dirty amount is about 0.4nm. the variation in the depth of the opening 14 produced in an etching process -- SiO two-layer -- it can ignore compared with the variation in the thickness produced at the process which deposits 13 (about 40nm in about 10%, this case). That is, the variation in an etching process does not cause variation in the depth of opening 14.

[0063] According to the sentiment dirty method using HF:NH4F grade as an etching reagent, SiO2, polish recon, and a selection ratio are considered to be infinity. Therefore, although the variation in the depth generated at an etching process is still smaller, when the etching precision of the two-dimensional direction is taken into consideration, it is desirable to use the dry cleaning dirty method mentioned above. Moreover, as an ingredient for forming the 1st conductive layer 12 which has protection-from-



light nature, the two-layer structure of silicide / polish recons, such as WSi / polish recon (150nm / 100nm), can be used. SiN may be used although the viewpoint SiO two-layer of transparency is desirable as the 1st insulating layer in this case.

[0064] As shown in drawing 3 C, the polish recon layer (the 2nd conductive layer) 17 is formed all over a substrate by using for example, a reduced pressure CVD method, and depositing and carrying out patterning of the polish recon with a thickness of about 50nm. Within opening 14, the polish recon layer 17 touches the 1st conductive layer 12, and is connected electrically. This polish recon layer 17 is eventually set to addition capacity electrode 17a of the semi-conductor layer (source 17b and drain 17b', channel 17c) of TFT, and addition capacity.

[0065] As shown in drawing 3 D, phosphorus (P) is injected into the polish recon layer 17, using the wrap resist layer 16 as a mask for the part in which the TFT section is formed. Ion-implantation conditions are 15keV(s) and  $2 \times 10^{15}$  - /cm<sup>2</sup>. In order to pour in the ion of sufficient amount for the polish recon layer 17 formed in the side attachment wall of opening 14, as for opening 14, it is desirable to have the taper configuration. As for the taper angle theta (angle which the top face of the 1st conductive layer 12 and the side face of opening 14 make), it is desirable that it is in the range of 45 degrees  $\leq \theta \leq 84$  degrees. the amount of the phosphorus injected into the polish recon layer 17 formed in the side face of opening 14 becomes twice [  $\cos \theta$  ] the amount of the phosphorus injected into the polish recon layer 17 formed in the base. In order to fully form into low resistance the polish recon layer 17 formed in the side face, a certain thing is [ about 1/10 or more ] desirable, and the injection rate of theta to a side face is [ that it is / of the injection rate to a base / 84 degrees or less ] desirable. In addition, in a next elevated-temperature heat treatment (about 800 degrees C or more) process, since the polish recon layer 17 which the impurity in the polish recon layer 17 formed in the base was spread, and was formed in the side face forms low resistance, even if theta exceeds 84 degrees, it may be able to be used. On the other hand, if the taper angle theta is too small, the breadth on opening 14 (delta in drawing 3 D) will become large too much. That is, since the width of face of the polish recon layer (the 2nd conductive layer) 17 spreads too much, a numerical aperture falls. As for breadth delta, from a viewpoint of a numerical aperture, it is desirable that it is  $\theta \geq 45$  degrees below thickness h of SiO<sub>2</sub> (1st insulating layer) 13.

[0066] As shown in drawing 3 E, SiO<sub>2</sub> film (the 2nd insulating layer) 18 with a thickness of about 80nm is formed using a CVD method so that the 2nd conductive layer 17 may be covered. Or the 2nd insulating layer 18 may be formed by oxidizing the 2nd conductive layer 17 formed thickly beforehand. The 2nd insulating layer 18 which forms and oxidizes the 2nd conductive layer 17 thermally by polish recon, and consists of silicon oxide may be formed, and the 2nd insulating layer 18 which consists of Ta<sub>2</sub>O<sub>5</sub> may be formed by forming and anodizing the 2nd conductive layer 17 by Ta. Moreover, the cascade screen which becomes the 2nd insulating layer 18 from SiN/SiO<sub>2</sub> grade, or the high dielectric constant film of Ta<sub>2</sub>O<sub>5</sub> grade may be used. The 2nd insulating layer 18 functions as addition capacity dielectric layer 18a and gate insulating-layer 18b.

[0067] Next, addition capacity counterelectrode 19a and gate electrode 19b are obtained by forming and carrying out patterning of the polish recon layer (the 3rd conductive layer) 19 which doped phosphorus with a thickness of about 300nm.

[0068] As shown in drawing 3 F, source 17b and drain 17b' is formed by carrying out an ion implantation to the 2nd conductive layer (polish recon layer) 17 by using the polish recon layer (the 3rd conductive layer) 19 as a mask. This ion implantation can be carried out by pouring in phosphorus on condition that 100keV(s) and  $2 \times 10^{15}$  - /cm<sup>2</sup>. Or LDD structure may be formed like the above-mentioned conventional example.

[0069] As shown in drawing 3 G, after depositing SiO two-layer (layer insulation layer) with a thickness of about 600nm using a CVD method, heat treatment of 1 hour is performed at about 850 degrees C for impurity activation. Then, the contact holes 23a and 23b which result in source 17b of the 2nd conductive layer 17 and drain 17b' are formed, respectively. Next, for example, source electrode 24a and

drain electrode 24b are formed by depositing and carrying out patterning of the AlSi layer 24 with a thickness of 400nm. Source wiring (un-illustrating) may be formed in source electrode 24a and one at this process.

[0070] Using a plasma-CVD method, the passivation film 26 which consists of SiN is formed so that the whole surface of a substrate may be covered substantially. After forming the contact hole 27 which results in drain electrode 24b in the obtained passivation film 26, the picture element electrode 15 is formed by depositing and carrying out patterning of the ITO.

[0071] The processes according to individual in the above-mentioned manufacture approach (a membranous deposition process, membranous ion-implantation process, etching process, etc.) can be carried out by the well-known approach.

[0072] Since the 1st conductive layer 12 formed in the lower part of the 1st insulating layer 13 is used as a dirty stop layer in the etching process for forming opening 14 in the 1st insulating layer (since it being formed from an ingredient different naturally from the 1st insulating layer) according to the manufacture approach of this operation gestalt as mentioned above, compared with the conventional example which the controllability of the depth of etching mentioned above, it is very high. Therefore, the depth of the opening 14 which forms addition capacity is substantially decided by thickness of the 1st insulating layer 13. The variation in the thickness in the process on which the variation at the time of etching the conventional substrate deposits an insulating layer to ? is dramatically as low as about 10%. Therefore, LCD which was excellent in display grace with the small variation in the capacity value of addition capacity can be obtained by manufacturing TFT-LCD using the manufacture approach of this example.

[0073] Furthermore, the semi-conductor layer (17b, 17b', 17c) of addition capacity electrode 17a and TFT20 of the addition capacity 10 can be formed in the same layer. Moreover, gate insulating-layer 18b of dielectric layer 18a and TFT20 of the addition capacity 10 can be formed in the same layer. Furthermore, addition capacity counterelectrode 19a and gate electrode 19b can be formed from the same layer. Therefore, since a manufacture process can be simplified, the manufacturing cost of a liquid crystal display can be reduced.

[0074] (Operation gestalt 2) The structure and the manufacture approach of a liquid crystal display 200 of this operation gestalt are explained, referring to drawing 4 A, drawing 4 B, and drawing 5 . As for the liquid crystal display 200 of this operation gestalt, TFT-LCD100 of the operation gestalt 1 differs from the structure of addition capacity. In the following explanation, the same reference mark shows TFT-LCD100 of the operation gestalt 1, and the component which has the same function substantially, and explanation is omitted here.

[0075] Drawing 4 A is the typical sectional view of the part containing addition capacity 10a of TFT-LCD200, and TFT20, and is equivalent to the typical sectional view in alignment with broken-line X1-X2-X3-X4 of drawing 5 , and X4'. Drawing 4 B is the sectional view of the connection of the 1st conductive layer and the 3rd conductive layer, and is equivalent to the sectional view which met the 4B-4B' line of drawing 5 . Drawing 5 is the plan of the part to which 1 picture element of TFT-LCD200 corresponds.

[0076] TFT-LCD200 has the further insulating layer 52 between the 1st conductive layer 12 and the 2nd conductive layer 17 in TFT-LCD100. Moreover, the 1st conductive layer 12 is divided into two layers (field) 12a and 12b in TFT-LCD200. 1st conductive layer 12a functions as an addition capacity 10a addition capacity electrode, and 1st conductive layer 12b functions as a protection-from-light layer of TFT20. These are formed by carrying out patterning as a separated layer (conductive layer 12a and protection-from-light layer 12b), after forming the 1st single conductive layer 12 like the operation gestalt 1.

[0077] Since it can prevent that the potential of an addition capacity counterelectrode influences the channel field of TFT by separating conductive layer 12a which functions at least as channel field wrap protection-from-light layer 12b of TFT, and an addition capacity counterelectrode, the operating characteristic of TFT can be made stability. However, when a powerful light does not carry out

incidence to the 1st conductive layer 12, you may form in one like TFT-LCD100 of the operation gestalt 1.

[0078] An insulating layer 52 insulates mutually a bonnet, and 1st conductive layer 12a and the 2nd conductive layer 17 for 1st conductive layer 12a exposed in opening 14. 1st conductive layer 12a is connected to the 3rd conductive layer and an electric target (refer to drawing 4 B), and an opposite electrical potential difference (common electrical potential difference) is impressed to 1st conductive layer 12a. Therefore, an insulating layer 52 functions as a dielectric layer of addition capacity 10a.

[0079] An insulating layer 52 can be formed for example, with a reduced pressure CVD method by [ of a substrate ] depositing about 80nm SiO<sub>2</sub> on the whole surface mostly between the process shown in drawing 3 B in the manufacture approach of TFT-LCD100 of the operation gestalt 1, and the process shown in drawing 3 C. Or the front face of the 1st polish recon layer 17 exposed to opening 14 can be formed also by oxidizing. Moreover, the cascade screen which becomes an insulating layer 52 from SiN/SiO<sub>2</sub> grade, or the high dielectric constant film of Ta<sub>2</sub>O<sub>5</sub> grade may be used. Since an insulating layer 52 should just function as a dielectric layer of addition capacity 10a, it may be formed only on 1st conductive layer 12a exposed between 1st conductive layer 12a and 2nd conductive layer 17a (i.e., the inside of opening 14).

[0080] As shown in drawing 5, as for 1st conductive layer 12a and 3rd conductive layer 19a, connecting mutually out of a viewing area is desirable from a viewpoint of a numerical aperture. Electric connection between 1st conductive layer 12a and 3rd conductive layer 19a is made with the configuration shown for example, in drawing 4 B. The contact hole 56 which exposes the contact hole 54 and 1st conductive layer 12a which expose 3rd conductive layer 19a to an insulating layer 22 is formed. In each contact hole 54 and 56, 1st conductive layer 12a and 3rd conductive layer 19a are electrically connected mutually by forming electrode layer 24c in contact with each of the 1st and 3rd conductive layers 12a and 19a. Formation of contact holes 54 and 56 can be carried out in the process which was explained while referring to drawing 3 G about the operation gestalt 1 and which forms contact holes 23a and 23b. Moreover, electrode layer 24c can be carried out in the process which forms source electrode 24a and drain electrode 24b which were explained while referring to drawing 3 G similarly. In addition, electrode layer 24c is separated from source electrode 24a and drain electrode 24b, and an opposite electrical potential difference is impressed to electrode layer 24c.

[0081] Addition capacity 10a of TFT-LCD200 is formed from the laminated structure containing 2nd conductive layer (addition capacity electrode) of 1st conductive layer (1st addition capacity counterelectrode) 12a / 52/(1st addition capacity dielectric layer) of insulating layers 17a/2nd insulating-layer (2nd addition capacity dielectric layer) 18a/3rd conductive layer (2nd addition capacity counterelectrode) 19a, and is. Namely, the capacity in which addition capacity 10a is formed from 2nd conductive layer (addition capacity electrode) of 1st conductive layer (1st addition capacity counterelectrode) 12a / 52/(1st addition capacity dielectric layer) of insulating layers 17a, The capacity formed from 2nd conductive layer (addition capacity electrode) 17a/2nd insulating-layer (2nd addition capacity dielectric layer) 18a/3rd conductive layer (2nd addition capacity counterelectrode) 19a is the capacity connected to juxtaposition. Therefore, the addition capacity of the same capacity value can be formed in a narrower occupancy area as compared with the structure of the addition capacity 10 which TFT-LCD100 of the operation gestalt 1 has.

[0082] The area (area of drawing 5 and the hatching section in drawing 2 B) projected on the substrate front face of the addition capacity 10 required in order to acquire the addition capacity value C<sub>s</sub> of 30fF is measured using thickness of 18micrometerx18micrometer and the 1st and 2nd addition capacity dielectric layer (silicon oxide) as 80nm for the magnitude of a picture element, respectively. The addition capacity which does not have the opening structure (trench structure) shown in drawing 2 B can acquire about 36 micrometers of addition capacity value of 30fF(s) in the projection area of 2 in the structure which has the opening 14 with a width-of-face [ of 1 micrometer ] x die length of 17 micrometers shown in drawing 5 of the operation gestalt 2 to the thing about 70 micrometers of whose projection area of 2

are the need, and connected two capacity to juxtaposition. When a numerical aperture (rate to the area of drawing 5 and the whole picture element of opening 15a in drawing 2 B (hatching section)) compares, the numerical aperture of the structure of drawing 5 is about 51% to the numerical aperture of the structure of drawing 2 B being about 42%. Thus, according to the operation gestalt 2, in addition to the effectiveness of the operation gestalt 1, the further high numerical aperture-ization is attained.

[0083] As the above-mentioned operation gestalten 1 and 2 explained, while improving the numerical aperture of a liquid crystal display according to this invention, the variation in the capacity value of addition capacity can be reduced. The effectiveness of this invention is remarkable in small and the high density, and the high definition TFT-liquid-crystal display which used polish recon for the semi-conductor layer especially. Especially the configuration using the 1st conductive layer as a protection-from-light layer is used suitable for the projection mold liquid crystal display with which a powerful light is irradiated.

[0084]

[Effect of the Invention] According to this invention, big capacity value can be secured also in a small occupancy area, and, moreover, addition capacity by which the variation in capacity value was reduced remarkably can be realized. By this, a high numerical aperture (bright) and a high-definition liquid crystal display can be offered.

[0085] Moreover, since it has the configuration easy [ the liquid crystal display of this invention ], and simple and a production process can be simplified, a high-definition liquid crystal display can be manufactured with the sufficient yield by low cost. The liquid crystal display by this invention is applied suitable for the comparatively small and high definition liquid crystal display which used polish recon for the semi-conductor layer of TFT.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the typical sectional view of TFT-LCD100 by the operation gestalt 1 of this invention.

[Drawing 2 A] It is the typical plan of 1 picture element part of TFT-LCD100.

[Drawing 2 B] It is the typical plan of the picture element part of TFT-LCD of the example of a comparison.

[Drawing 3 A] It is the sectional view showing the production process of TFT-LCD100.

[Drawing 3 B] It is the sectional view showing other production processes of TFT-LCD100.

[Drawing 3 C] It is the sectional view showing other production processes of TFT-LCD100.

[Drawing 3 D] It is the sectional view showing other production processes of TFT-LCD100.

[Drawing 3 E] It is the sectional view showing other production processes of TFT-LCD100.

[Drawing 3 F] It is the sectional view showing other production processes of TFT-LCD100.

[Drawing 3 G] It is the sectional view showing other production processes of TFT-LCD100.

[Drawing 4 A] It is the typical sectional view of the part containing the addition capacity of TFT-LCD200 by the operation gestalt 2 of this invention, and TFT.

[Drawing 4 B] It is the typical sectional view of the connection of 1st conductive layer 12a of TFT-LCD200 and 3rd conductive layer 19a by the operation gestalt 2.

[Drawing 5] It is the typical plan of the connection which showed 1 picture element part of TFT-LCD200 and drawing 4 B by the operation gestalt 2 of this invention.

[Drawing 6] It is drawing showing the equal circuit of one picture element of a TFT mold liquid crystal display.

[Drawing 7] It is the sectional view showing the process which forms conventional TFT and the addition capacity of a TFT-liquid-crystal display.

[Description of Notations]

10 Addition Capacity

11 31 Insulating substrate

12 1st Conductive Layer

13 1st Insulating Layer

14 Opening (Slot or Trench)

15 Picture Element Electrode

17a The 2nd conductive layer

17b Source

17b' Drain

17c Channel

18a The 2nd insulating layer

18b Gate insulating layer

19a The 3rd conductive layer

19b Gate electrode

20 TFT

22 Insulating Layer

23a, 23b, 27 Contact hole

24a Source electrode

24b Drain electrode

26 Passivation Layer

35 Counterelectrode (Common Electrode)

50 Opposite Substrate

60 Liquid Crystal Layer

100,200 TFT-LCD

100a TFT substrate

100b Opposite substrate

---

[Translation done.]